

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#3/10-17-9  
Date  
J1002 U.S. PTO  
09/032867  
04/12/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月17日

出 願 番 号

Application Number:

特願2000-115699

出 願 人

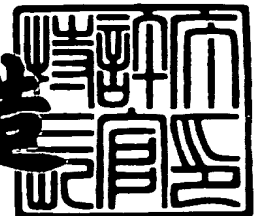
Applicant(s):

株式会社半導体エネルギー研究所

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3012540

【書類名】 特許願

【整理番号】 P004853

【提出日】 平成12年 4月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/12

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 福永 健司

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 犬飼 和隆

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 発光装置およびその作製方法

【特許請求の範囲】

【請求項 1】

画素に n チャンネル型 T F T および発光素子を有する発光装置において、

前記 n チャンネル型 T F T は、チャンネル形成領域、該チャンネル形成領域に接する n 型不純物領域 (c)、該 n 型不純物領域 (c) に接する n 型不純物領域 (b)、該 n 型不純物領域 (b) に接する n 型不純物領域 (a) を含む活性層並びに第 1 のゲート電極および該第 1 のゲート電極よりも外形の小さい第 2 のゲート電極を含むゲート電極を有し、前記第 1 のゲート電極は前記チャンネル形成領域および前記 n 型不純物領域 (c) にゲート絶縁膜を挟んで重なり、前記第 2 のゲート電極は前記チャンネル形成領域に前記ゲート絶縁膜を挟んで重なっていることを特徴とする発光装置。

【請求項 2】

n チャンネル型 T F T を含む駆動回路および発光素子を含む画素部を有する発光装置において、

前記 n チャンネル型 T F T は、チャンネル形成領域、該チャンネル形成領域に接する n 型不純物領域 (c)、該 n 型不純物領域 (c) に接する n 型不純物領域 (b)、該 n 型不純物領域 (b) に接する n 型不純物領域 (a) を含む活性層並びに第 1 のゲート電極および該第 1 のゲート電極よりも外形の小さい第 2 のゲート電極を含むゲート電極を有し、前記第 1 のゲート電極は前記チャンネル形成領域および前記 n 型不純物領域 (c) にゲート絶縁膜を挟んで重なり、前記第 2 のゲート電極は前記チャンネル形成領域に前記ゲート絶縁膜を挟んで重なっていることを特徴とする発光装置。

【請求項 3】

請求項 1 または請求項 2 において、前記第 1 のゲート電極は窒化タンタルもしくは窒化チタンからなり、前記第 2 のゲート電極はタングステンもしくはアルミニウム合金からなることを特徴とする発光装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、前記 n 型不純物領域 (a) には  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度で n 型不純物元素が含まれ、前記 n 型不純物領域 (b) には  $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$  の濃度で n 型不純物元素が含まれ、前記 n 型不純物領域 (c) には  $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$  の濃度で n 型不純物元素が含まれていることを特徴とする発光装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、前記ゲート電極は窒化珪素膜もしくは窒化酸化珪素膜並びに樹脂膜を積層した絶縁膜で覆われていることを特徴とする発光装置。

【請求項 6】

請求項 5 において、前記窒化珪素膜もしくは前記窒化酸化珪素膜の上には着色層が設けられ、該着色層を覆うように前記樹脂膜が設けられていることを特徴とする発光装置。

【請求項 7】

絶縁体の上に半導体膜を形成する第 1 工程と、  
前記半導体膜を覆う絶縁膜を形成する第 2 工程と、  
前記絶縁膜の上に二層以上の導電膜を積層した導電膜を形成する第 3 工程と、  
前記導電膜をエッチングしてゲート電極を形成する第 4 工程と、  
前記ゲート電極をマスクにして前記半導体膜に n 型不純物元素を添加する第 5 工程と、

前記ゲート電極の側面をエッチングした後、前記ゲート電極の一部を選択的にエッチングする第 6 工程と、

前記第 6 工程の後、前記ゲート電極の前記二層以上の導電膜を積層した部分をマスクにし、且つ、前記ゲート電極の一部を貫通させて前記半導体膜に n 型不純物元素を添加する第 7 工程と、

前記ゲート電極を覆う絶縁膜を形成する第 8 工程と、

前記第 8 工程で形成された絶縁膜の上に前記半導体膜に接する配線を形成する第 9 工程と、

前記第 8 工程で形成された絶縁膜の上に発光素子を形成する第 10 工程と、

を有することを特徴とする発光装置の作製方法。

【請求項 8】

請求項 7 において、前記導電膜は窒化タンタル膜もしくは窒化チタン膜の上にタングステン膜もしくはアルミニウム合金膜を積層してなることを特徴とする発光装置の作製方法。

【請求項 9】

請求項 7 において、前記第 4 工程の前記ゲート電極はテーパ形状を有することを特徴とする発光装置の作製方法。

【請求項 10】

絶縁体の上に半導体膜を形成する第 1 工程と、

前記半導体膜を覆う絶縁膜を形成する第 2 工程と、

前記絶縁膜の上に第 1 の導電膜および該第 2 の導電膜を積層した導電膜を形成する第 3 工程と、

前記導電膜をエッチングして前記第 1 の導電膜からなる第 1 のゲート電極および前記第 2 の導電膜からなる第 2 のゲート電極を形成する第 4 工程と、

前記第 1 のゲート電極および前記第 2 のゲート電極をマスクにして前記半導体膜に n 型不純物元素を添加する第 5 工程と、

前記第 1 のゲート電極および前記第 2 のゲート電極をエッチングして線幅を細らせた後、前記第 2 のゲート電極を選択的にエッチングする第 6 工程と、

前記第 6 工程の後、前記第 2 のゲート電極をマスクにし、且つ、前記第 1 のゲート電極の一部を貫通させて前記半導体膜に n 型不純物元素を添加する第 7 工程と、

前記ゲート電極を覆う絶縁膜を形成する第 8 工程と、

前記第 8 工程で形成された絶縁膜の上に前記半導体膜に接する配線を形成する第 9 工程と、

前記第 8 工程で形成された絶縁膜の上に発光素子を形成する第 10 工程と、

を有することを特徴とする発光装置の作製方法。

【請求項 11】

請求項 10 において、前記第 1 の導電膜として窒化タンタル膜もしくは窒化チ

タン膜を用い、前記第 2 の導電膜としてタングステン膜もしくはアルミニウム合金膜を用いることを特徴とする発光装置の作製方法。

【請求項 1 2】

請求項 1 0 において、前記第 4 工程の前記第 1 のゲート電極および前記第 2 のゲート電極はテーパ形状を有することを特徴とする発光装置の作製方法。

【請求項 1 3】

請求項 7 乃至請求項 1 2 のいずれか一において、前記第 8 工程で形成された絶縁膜には着色層が含まれることを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電極間に発光性材料を挟んだ素子を有する発光装置及びその発光装置を表示部（表示ディスプレイまたは表示モニタ）に用いた電気器具に関する。特に、E L（Electro Luminescence）が得られる発光性材料（以下、E L 材料という）を用いた発光装置に関する。

【0 0 0 2】

【従来の技術】

近年、発光性材料の E L 現象を利用した自発光素子（以下、E L 素子という）を用いた発光装置（以下、E L 発光装置という）の開発が進んでいる。E L 発光装置は自発光素子を用いた表示装置であるため、液晶ディスプレイのようなバックライトが不要であり、さらに視野角が広いため、屋外で使用する携帯型機器の表示部として注目されている。

【0 0 0 3】

E L 発光装置にはパッシブマトリクス型とアクティブマトリクス型の二種類があり、どちらも盛んに開発が行われている。特に現在はアクティブマトリクス型 E L 発光装置が注目されている。アクティブマトリクス型 E L 発光装置は、画素部を形成する各画素に薄膜トランジスタ（以下、T F T という）を設け、E L 素子に流す電流量を前記 T F T で制御する点に特徴がある。

【0 0 0 4】



アクティブマトリクス型の利点は、高精細な画像表示を行うことができる点にあり、より情報量の多い画像を提供することができる。

【 0 0 0 5 】

しかしながら、各画素に T F T を要するためパッシブマトリクス型に比べて製造工程が複雑になり、歩留まりの低下や製造期間の長期化に伴う製造コストの増加が問題となる。特に、フォトリソグラフィ工程が多いと歩留まりの低下が顕著になるため、フォトリソグラフィ工程の削減が重要課題であった。

【 0 0 0 6 】

【発明が解決しようとする課題】

本発明は上記問題点を鑑みてなされたものであり、フォトリソグラフィ工程を削減して歩留まりの向上および製造期間の短縮を図り、製造コストを低減することにより安価な発光装置を提供することを課題とする。また、安価な発光装置を表示部として用いた安価な電気器具を提供することを課題とする。

【 0 0 0 7 】

【課題を解決するための手段】

本発明は T F T の製造に係るフォトリソグラフィ工程を削減することにより発光装置の歩留まりの向上および製造期間の短縮を図る。特徴的な点は、ゲート電極を複数層の導電膜で形成し、それらのエッチング時の選択比を利用して活性層内に形成される不純物領域の濃度を調節する点である。

【 0 0 0 8 】

本発明を特徴づける n チャネル型 T F T の作製工程例について図 1 を用いて説明する。図 1 ( A ) において、1 0 0 は絶縁体であり、表面に絶縁膜を設けた基板、絶縁基板もしくは絶縁膜である。絶縁体 1 0 0 の上には半導体膜（典型的には珪素膜）1 0 1 が形成されており、この半導体膜 1 0 1 は T F T の活性層となる。また、半導体膜 1 0 1 は珪素を含む絶縁膜 1 0 2 で覆われており、この絶縁膜 1 0 2 は T F T のゲート絶縁膜となる。なお、珪素を含む絶縁膜としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜もしくはこれらを組み合わせた積層膜を用いることが可能である。

【 0 0 0 9 】

次に、珪素を含む絶縁膜 1 0 2 上に第 1 の導電膜 1 0 3 及び第 2 の導電膜 1 0 4 を形成する。ここで第 1 の導電膜 1 0 3 と第 2 の導電膜 1 0 4 との間でエッチング時の選択比がとれることは重要である。具体的には、第 1 の導電膜 1 0 3 を残しつつ第 2 の導電膜 1 0 4 をエッチングできる条件が存在することが重要であるとも言える。

#### 【 0 0 1 0 】

典型的には、1) 第 1 の導電膜として窒化タンタル膜、第 2 の導電膜としてタングステン膜を用いる組み合わせ、2) 第 1 の導電膜としてタングステン膜、第 2 の導電膜としてアルミニウム膜を用いる組み合わせ、もしくは、3) 第 1 の導電膜として窒化チタン膜、第 2 の導電膜としてタングステン膜を用いる組み合わせが挙げられる。

#### 【 0 0 1 1 】

上記 1) の組み合わせでは、塩素 ( $\text{Cl}_2$ ) ガスと四フッ化炭素 ( $\text{CF}_4$ ) ガスの組み合わせでタングステン膜と窒化タンタル膜がエッチングされ、このガス系に酸素 ( $\text{O}_2$ ) ガスを加えることで窒化タンタル膜のエッチングレートが極端に低下するため選択比をとることができる。

#### 【 0 0 1 2 】

また、上記 2) の組み合わせでは、三塩化臭素 ( $\text{BCl}_3$ ) ガスと塩素 ( $\text{Cl}_2$ ) ガスの組み合わせでアルミニウム膜はエッチングされるがタングステン膜はエッチングされない。また、塩素 ( $\text{Cl}_2$ ) ガスと四フッ化炭素 ( $\text{CF}_4$ ) ガスの組み合わせでタングステン膜はエッチングされるがアルミニウム膜はエッチングされない。こうして両者の選択比をとることができる。

#### 【 0 0 1 3 】

次に、図 1 (B) に示すように、第 1 の導電膜 1 0 3 及び第 2 の導電膜 1 0 4 をレジストマスク 1 0 5 を用いてエッチングし、ゲート電極 1 0 6 を形成する。本明細書では第 1 の導電膜をエッチングして得たゲート電極を第 1 のゲート電極と呼び、第 2 の導電膜をエッチングして得たゲート電極を第 2 のゲート電極と呼ぶことにする。従って、ゲート電極 1 0 6 は第 1 のゲート電極 1 0 6 a と第 2 のゲート電極 1 0 6 b からなる。

## 【0014】

ゲート電極106はエッチング条件によりテーパーを有する形状とすることが好ましい。テーパーとは、電極の端部における端面が斜めになった部分であり、下地との角度はテーパー角と呼ばれる。テーパーを有する形状とは電極端部があるテーパー角を持って斜めになった形状であり、台形はテーパーを有する形状に含まれる。

## 【0015】

なお、ゲート電極106を形成する際にゲート絶縁膜102も若干エッチングされるため膜厚が薄くなる。エッチング条件によっても異なるが、この膜減りは20～50nmに抑えることが好ましい。

## 【0016】

そして、この状態で半導体をn型半導体にする不純物元素（以下、n型不純物元素という）を半導体膜101に添加する。このとき、ゲート電極106をマスクとして用い、自己整合的に（セルフアラインで）n型不純物元素を添加する。なお、具体的にはn型不純物元素として周期表の15族に属する元素（代表的にはリンもしくは砒素）を用いることができる。

## 【0017】

このとき添加方法は公知のプラズマドーピング法もしくはイオンインプランテーション法を用いれば良い。また、半導体膜中に添加する濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とすれば良い。このような濃度でn型不純物元素が添加された領域107、108を本明細書中ではn型不純物領域（a）と呼ぶことにする。

## 【0018】

次に、図1（C）に示すように、ゲート電極106を形成する時と同一の条件でゲート電極106をさらにエッチングする。これによりさらに線幅が細くなったゲート電極109が形成される（ゲート電極109は第1のゲート電極109a及び第2のゲート電極109bからなる）。また、このとき、ゲート絶縁膜102の膜減りは進行する。

## 【0019】

次に、図1 (C) のエッチング中にエッチング条件を変え、第2のゲート電極109bが選択的にエッチングされるような条件とする。そのためには、エッチングガス、基板バイアス電圧、電極に印加する電力などを変更すれば良い。ここでは第1のゲート電極109aと第2のゲート電極109bの選択比が確保できれば良いので、エッチングガスを変化させることが最も容易である。

## 【0020】

こうして図1 (D) に示すように、第1のゲート電極109a及び第2のゲート電極110の積層構造からなるゲート電極111が形成される。

## 【0021】

そして、この状態で再びn型不純物元素の添加工程を行う。この添加工程では図1 (B) の添加工程よりも加速電圧を上げ、深い位置にまで不純物元素が到達しうるように行う。このとき、112、113で示される領域には $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度でn型不純物元素が添加される。このような濃度でn型不純物元素が添加された領域112、113を本明細書中ではn型不純物領域(b)と呼ぶことにする。

## 【0022】

また、114、115で示される領域は第1のゲート電極109aの端部(第2のゲート電極110に接しない部分)を貫通させてn型不純物元素を添加することになるため、n型不純物領域(b)よりも低い濃度(好ましくは $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ )でn型不純物元素が添加される。このような濃度でn型不純物元素が添加された領域114、115を本明細書中ではn型不純物領域(c)と呼ぶことにする。

## 【0023】

なお、n型不純物元素が添加されなかった領域116はTFTのチャネル形成領域として機能する領域であり、ゲート電極110の直下に形成される。

## 【0024】

このあと、図1 (E) に示すように、パッシベーション膜117、層間絶縁膜118、ソース配線119およびドレイン配線120を形成すればnチャネル型TFTが完成する。パッシベーション膜117としては窒化珪素膜もしくは窒化

酸化珪素膜を用いれば良い。また、層間絶縁膜 1 1 8 としては無機絶縁膜、有機絶縁膜もしくはそれらの積層膜を用いれば良い。有機絶縁膜としてはポリイミド、アクリル樹脂、ポリアミド、BCB（ベンゾシクロブテン）といった樹脂膜を用いることができる。また、ソース配線 1 1 9 およびドレイン配線 1 2 0 としては公知の導電膜を用いれば良い。

## 【 0 0 2 5 】

以上の作製工程において、フォトリソグラフィ工程は半導体膜 1 0 1 の形成時、ゲート電極 1 0 6 の形成時、層間絶縁膜のコンタクトホール形成時並びにソース配線およびドレイン配線の形成時の 4 回である。CMOS 回路を形成する場合は、pチャネル型 TFT を作製するために 1 回フォトリソグラフィ工程が増えるがそれでも 5 回で済む。

## 【 0 0 2 6 】

図 1 (E) の TFT は、チャネル形成領域 1 1 6 とドレイン領域 1 0 8 との間に、n 型不純物領域 (b) 1 1 3 および n 型不純物領域 (c) 1 1 5 が形成されている。ここで n 型不純物領域 (c) 1 1 5 は第 1 のゲート電極 1 0 9 a にゲート絶縁膜 1 0 2 を挟んで重なっており、この構造がホットキャリア劣化を防ぐ上で非常に有効である。また、n 型不純物領域 (b) 1 1 3 は従来の LDD（ライトドープドレイン）領域と同様の作用をもつ領域である。

## 【 0 0 2 7 】

従って、図 1 (E) の TFT はホットキャリア対策が n 型不純物領域 (c) により施され、リーク電流対策が n 型不純物領域 (b) により施されており、非常に信頼性の高い構造となっている。このように信頼性の高い TFT を 5 回のフォトリソグラフィ工程で作製できるため、発光素子を含めた発光装置全体の歩留まりの向上および製造期間の短縮を図るばかりでなく、安価で信頼性の高い発光装置を作製することが可能となる。

## 【 0 0 2 8 】

データ説明

## 【 0 0 2 9 】

## 【発明の実施の形態】

本発明の実施の形態について、以下に示す実施例を用いて詳細な説明を行うこととする。

## 【 0 0 3 0 】

## 【実施例】

## 〔実施例 1〕

本発明の実施例について図 2 ～図 4 を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である C M O S 回路を図示することとする。

## 【 0 0 3 1 】

まず、図 2 ( A ) に示すように、ガラス基板 3 0 1 上に下地膜 3 0 2 を 3 0 0 n m の厚さに形成する。本実施例では下地膜 3 0 2 として窒化酸化珪素膜を積層して用いる。この時、ガラス基板 3 0 1 に接する方の窒素濃度を 1 0 ～ 2 5 w t % としておく和良好的。

## 【 0 0 3 2 】

また、下地膜 3 0 2 に放熱効果を持たせることは有効であり、基板 3 0 1 の両面もしくは片面に炭素膜、特に D L C ( ダイヤモンドライクカーボン ) 膜を設けておくことは有効である。D L C 膜は C V D 法もしくはスパッタ法にて成膜可能であり、室温から 1 0 0 ℃ 以下の温度範囲で成膜できるという利点がある。

## 【 0 0 3 3 】

次に下地膜 3 0 2 の上に 5 0 n m の厚さの非晶質珪素膜 ( 図示せず ) を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜 ( 微結晶半導体膜を含む ) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は 2 0 ～ 1 0 0 n m の厚さであれば良い。

## 【 0 0 3 4 】

そして、特開平 7 - 1 3 0 6 5 2 号公報に記載の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）303を形成する。本実施例では、結晶化を促進する元素としてニッケルを用いている。勿論、他の結晶化方法としてレーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法を用いても良い。

## 【0035】

次に、図 2（B）に示すように、結晶質珪素膜 303 を 1 回目のフォトリソグラフィ工程によりエッチングして島状の半導体膜 304 ~ 307 を形成する。これらは後に TFT の活性層となる半導体膜である。

## 【0036】

ここで本実施例では、半導体膜 304 ~ 307 上に酸化珪素膜からなる保護膜（図示せず）を 130 nm の厚さに形成し、半導体を p 型半導体とする不純物元素（以下、p 型不純物元素という）を半導体膜 304 ~ 307 に添加する。p 型不純物元素としては周期表の 13 族に属する元素（典型的にはボロンもしくはガリウム）を用いることができる。なお、この保護膜は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

## 【0037】

また、このとき添加される p 型不純物元素の濃度は、 $1 \times 10^{15} \sim 5 \times 10^{17}$  atoms/cm<sup>3</sup>（代表的には  $1 \times 10^{16} \sim 1 \times 10^{17}$  atoms/cm<sup>3</sup>）とすれば良い。この濃度で添加された p 型不純物元素は n チャネル型 TFT のしきい値電圧の調節に用いられる。

## 【0038】

次に、半導体膜 304 ~ 307 を覆ってゲート絶縁膜 308 を形成する。ゲート絶縁膜 308 としては、10 ~ 200 nm、好ましくは 50 ~ 150 nm の厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では 115 nm 厚の窒化酸化珪素膜を用いる。

## 【0039】

次に、第 1 の導電膜 309 として 30 nm 厚の窒化タンタル膜を形成し、さら

に第2の導電膜310として370nmのタングステン膜を形成する。これらの金属膜はスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。また、タングステターゲットの純度を99.9999%とすることで、抵抗率が20mΩcm以下の低抵抗なタングステン膜を形成することができる。

## 【0040】

次に、レジストマスク311a～311gを形成し、第1の導電膜309及び第2の導電膜310をエッチングする。なお、本明細書中ではここで行うエッチング処理を第1のエッチング処理と呼ぶ。

## 【0041】

本実施例では、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) を用いたエッチング方法を採用する。エッチングガスとしては四フッ化炭素(CF<sub>4</sub>)ガスと塩素(Cl<sub>2</sub>)ガス混合ガスを用い、1Paの成膜圧力とする。この状態でコイル型の電極に500WのRF電力(13.56MHz)を印加してプラズマを生成する。また、基板を乗せたステージには自己バイアス電圧として150WのRF電力(13.56MHz)を印加して、負の自己バイアスが基板に加わるようにする。

## 【0042】

このような条件によりエッチング処理を行うと、窒化タンタル膜とタングステン膜の選択比が1:1に近くなり、一括でエッチングすることが可能となる。また、レジストマスク311a～311eの後退を利用して15～45°のテーパ角を有するテーパ形状とすることができる。本実施例のエッチング条件では約25°のテーパ角を得ることができる。

## 【0043】

こうして、第1の導電膜と第2の導電膜との積層膜からなるゲート電極312～316並びにスイッチングTFTのソース配線317およびドレイン配線318が形成される。なお、ドレイン配線318は電流制御TFTのゲート電極を兼ねている。

## 【0044】



次に、ゲート電極 3 1 2 ~ 3 1 6、ソース配線 3 1 7 およびドレイン配線 3 1 8 をマスクとして自己整合的に n 型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域 3 1 9 ~ 3 2 7 には n 型不純物元素が  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には  $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）の濃度で含まれる。これらの不純物領域 3 1 9 ~ 3 2 7 は n チャネル型 T F T のソース領域およびドレイン領域を形成する。

## 【 0 0 4 5 】

次に、レジストマスク 3 1 1 a ~ 3 1 1 g をそのまま用いてゲート電極のエッチングを行う。このときのエッチング条件は第 1 のエッチング処理と同一の条件で良い。ここではゲート電極のテーパー部分を後退させ、図 2（C）よりも線幅の細いゲート電極 3 2 8 ~ 3 3 2、ソース配線 3 3 3 およびドレイン配線 3 3 4 を形成する。

## 【 0 0 4 6 】

さらに、図 2（E）に示すように、レジストマスク 3 1 1 a ~ 3 1 1 g をそのまま用いて第 2 の導電膜（タングステン膜）を選択的にエッチングする。このエッチング条件は第 1 のエッチング処理に対してエッチングガスとして酸素ガスを混合すれば良く、本明細書ではここで行うエッチング処理を第 2 のエッチング処理と呼ぶ。これはエッチングガスに酸素が加わることで第 1 の導電膜（窒化タンタル膜）のエッチングの進行が極端に遅くなるためである。

## 【 0 0 4 7 】

このとき、第 1 のゲート電極 3 3 5 a ~ 3 3 9 a と第 2 のゲート電極 3 3 5 b ~ 3 3 9 b との積層構造からなるゲート電極 3 3 5 ~ 3 3 9 が形成され、さらに第 1 のソース配線 3 4 0 a と第 2 のソース配線 3 4 0 b との積層構造からなるソース配線 3 4 0 および第 1 のドレイン配線 3 4 1 a と第 2 のドレイン配線 3 4 1 b との積層構造からなるドレイン配線 3 4 1 が形成される。

## 【 0 0 4 8 】

次に、レジストマスク 3 1 1 a ~ 3 1 1 g を除去し、図 3（A）に示すように、n 型不純物元素（本実施例ではリン）を添加する。この工程では n 型不純物領域 3 4 2 ~ 3 5 1 に n 型不純物元素が  $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ （代表的

には  $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  の濃度で含まれるように調節する。なお、本明細書ではこの濃度で n 型不純物元素が添加された不純物領域を n 型不純物領域 (b) と呼ぶことにする。

## 【 0 0 4 9 】

また、このとき同時に n 型不純物領域 3 5 2 ~ 3 6 1 も形成される。これらの不純物領域は、第 1 のゲート電極 3 3 5 a ~ 3 3 9 a を貫通した n 型不純物元素によって形成されるため、n 型不純物領域 3 4 2 ~ 3 5 1 の  $1/2 \sim 1/10$  (代表的には  $1/3 \sim 1/4$ ) の濃度でリンが添加される。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  (典型的には  $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ) の濃度で n 型不純物元素を含む。なお、本明細書ではこの濃度で n 型不純物元素が添加された不純物領域を n 型不純物領域 (c) と呼ぶことにする。

## 【 0 0 5 0 】

また、n 型不純物元素は第 1 のゲート電極 3 3 5 a ~ 3 3 9 a およびゲート絶縁膜 3 0 8 を貫通させて添加する必要があるため、加速電圧を  $70 \sim 120 \text{ kV}$  (本実施例では  $90 \text{ kV}$ ) と高めに設定する。

## 【 0 0 5 1 】

次に、図 3 (B) に示すように、レジストマスク 3 6 2 を形成する。そして、p 型不純物元素 (本実施例ではボロン) を添加し、高濃度にボロンを含む不純物領域 3 6 3 ~ 3 6 6 を形成する。ここではジボラン ( $\text{B}_2\text{H}_6$ ) を用いたイオンドーピング法により  $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$  (代表的には  $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ) の濃度となるようにボロンを添加する。加速電圧は  $20 \sim 30 \text{ kV}$  で良い。なお、本明細書ではこの濃度で p 型不純物元素が添加された不純物領域を p 型不純物領域 (a) と呼ぶことにする。

## 【 0 0 5 2 】

なお、p 型不純物領域 (a) 3 6 3 ~ 3 6 6 は既に  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度でリンが添加された領域を含むが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に P 型に反転し、P 型の不純物領域として機能する。

## 【 0 0 5 3 】

次に、レジストマスク 3 6 2 を除去した後、窒化珪素膜もしくは窒化酸化珪素膜からなる保護膜（図示せず）を形成する。そして、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール法を用い、本実施例では電熱炉において窒素雰囲気中、5 5 0℃、4 時間の熱処理を行う。なお、このとき窒素雰囲気中の酸素濃度を極力低くしておくことが望ましい。これはゲート電極の酸化を防ぐためであり、望ましくは酸素濃度を 1 p p m 以下とする。

## 【0 0 5 4】

このとき、n 型不純物元素が添加された領域、即ち n 型不純物領域もしくは p 型不純物領域で n 型不純物元素を含む領域に、非晶質珪素膜の結晶化に用いたニッケルが矢印の方向に移動し、ゲッタリングされる。即ち、T F T のチャネル形成領域 3 6 7 ~ 3 7 1 のニッケル濃度が大幅に低減され、少なくとも  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 以下（但し、この値は質量二次イオン分析の測定下限）となる。

## 【0 0 5 5】

さらに、窒化珪素膜もしくは窒化酸化珪素膜からなる保護膜 3 7 2 を形成した後、窒素雰囲気中で 3 0 0 ~ 4 5 0℃の温度範囲の熱処理を行い、水素化処理を行う。この工程は熱的に励起された水素により半導体の不対結合手を水素終端する工程である。この処理では保護膜 3 7 2 中に含まれる水素が拡散して水素化処理が行われる。他にもプラズマ水素化処理を行っても良い。

## 【0 0 5 6】

また、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0℃で 1 ~ 1 2 時間の熱処理を行い、水素化処理を行うことも可能である。

## 【0 0 5 7】

次に、図 3（D）に示すように、着色層 3 7 3 を印刷法、スピンコート法もしくはインクジェット法により 0. 3 ~ 2 μm の厚さに形成する。着色層 3 7 3 としては、顔料を含ませた樹脂膜を用いれば良い。ここでは着色層 3 7 3 を形成した後、開口部 3 7 4 a ~ 3 7 4 i を形成する。これらの開口部は、後にコンタクトホールが形成される部分の着色層を予め除去しておく目的で形成される。

## 【0 0 5 8】

なお、着色層 3 7 3 としては、代表的には 6 5 0 n m 付近にピークをもつ波長を透過する着色層（以下、赤色着色層という）、5 5 0 n m 付近にピークをもつ波長を透過する着色層（以下、緑色着色層という）もしくは 4 5 0 n m 付近にピークをもつ波長を透過する着色層（以下、青色着色層という）を用いることが可能である。勿論、他の色を透過する着色層を用いても良い。

## 【 0 0 5 9 】

E L 発光装置に用いる着色層は光量が多く確保できるように顔料の含有率が低いものを用いると良い。また、着色層の膜厚を薄くすることにより光量を多くすることも可能である。さらに、液晶表示装置で用いる着色層のように鋭いピーク波長をもつ必要はなく、むしろブロードなピーク波長をもつ着色層が好ましい。

## 【 0 0 6 0 】

また、着色層に黒色顔料を含有させることで、E L 発光装置の外部から入ってくる外光を吸収し、観測者が陰極に映り込むような不具合を抑えることが可能である。

## 【 0 0 6 1 】

また、本実施例は赤色着色層を T F T のリーク電流を低減する遮光膜として用いる点にも特徴がある。チャネル形成領域となる結晶質珪素膜は 6 5 0 n m 前後の波長の光（赤色光）に対する吸収係数が小さいため、赤色光に関してはリーク電流の増加に影響しないと考えられる。そこで本実施例では、赤色着色層を用いて 5 5 0 n m 前後の波長の光（緑色光）および 4 5 0 n m 前後の波長の光（青色光）を遮光し、T F T のリーク電流の増加を抑制している。

## 【 0 0 6 2 】

さらに、開口部 3 7 4 a ~ 3 7 4 i を形成した着色層 3 7 3 を覆って樹脂膜からなる層間絶縁膜 3 7 5 を形成する。層間絶縁膜 3 7 5 は着色層 3 7 3 によって形成された段差を十分に平坦化できる膜厚で設けることが望ましく、1 ~ 4  $\mu\text{m}$ （好ましくは 2 ~ 3  $\mu\text{m}$ ）の厚さで形成する。

## 【 0 0 6 3 】

なお、層間絶縁膜 3 7 5 の表面に対して C F <sub>4</sub> ガスを用いたプラズマ処理を施しておくことは有効である。この処理により次に形成する配線の密着性を高める

ことができる。

【 0 0 6 4 】

次に、図 4 (A) に示すように、層間絶縁膜 3 7 5 に対してコンタクトホールを形成し、配線 3 7 6 ~ 3 8 2 とを形成する。なお、本実施例ではこの配線を、5 0 n m のチタン膜、4 0 0 n m のチタンを含むアルミニウム膜、1 0 0 n m のチタン膜をスパッタ法で連続形成した三層構造の積層膜とする。勿論、他の導電膜でも良い。

【 0 0 6 5 】

このとき、配線 3 7 6、3 7 8 は C M O S 回路のソース配線、3 7 7 はドレイン配線として機能する。また、配線 3 7 9 はソース配線 3 4 0 とスイッチング T F T のソース領域とを電氣的に接続する配線として機能し、配線 3 8 0 はドレイン配線 3 4 1 とスイッチング T F T のドレイン領域とを電氣的に接続する配線として機能する。

【 0 0 6 6 】

次に、可視光に対して透明な酸化物導電膜からなる画素電極 3 8 3 を形成する。本実施例では画素電極 3 8 3 として酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を用い、膜厚は 1 2 0 n m とする。他にも、酸化インジウム、酸化亜鉛、酸化スズ、もしくはそれらを組み合わせた化合物からなる酸化物導電膜を用いることも可能である。

【 0 0 6 7 】

次に、図 4 (B) に示すようにバンク 3 8 4 を形成する。バンク 3 8 4 は 1 0 0 ~ 4 0 0 n m の珪素を含む絶縁膜もしくは有機樹脂膜をパターンニングして形成すれば良い。このバンク 3 8 4 は画素と画素との間（画素電極と画素電極との間）を埋めるように形成される。また、次に形成する発光層等の有機 E L 材料が画素電極 3 8 3 の端部に直接触れないようにする目的もある。

【 0 0 6 8 】

なお、バンク 3 8 4 は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク 3 8 4 の材料となる絶縁膜中にカーボン粒子や顔料を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率

は  $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{ m}$  (好ましくは  $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{ m}$ ) となるようにカーボン粒子や顔料の添加量を調節すれば良い。

## 【 0 0 6 9 】

ここで画素電極 3 8 3 の表面に対して前処理を行う。本実施例では基板全体を  $100 \sim 120^\circ \text{C}$  に加熱し、酸素プラズマを形成しつつ紫外光照射を行う。これにより陽極表面に対してオゾンプラズマ処理を行うことができる。この前処理により、陽極 3 8 3 の表面において吸着酸素および吸着水が除去され、表面の仕事関数が高められる。さらに、陽極表面の平坦度が向上する。陽極表面の平坦度は表面の平均自乗粗さ (Rms) が  $5 \text{ nm}$  以下 (好ましくは  $3 \text{ nm}$  以下) となるようにすると良い。

## 【 0 0 7 0 】

なお、オゾンプラズマ処理の代わりにアルゴン、ネオンもしくはヘリウムなどの希ガスを用いたプラズマ処理でも良い。

## 【 0 0 7 1 】

次に、EL層 3 8 5 をスピンコート法により形成する。なお、本実施例では、正孔注入層および発光層の積層体をEL層と呼んでいる。即ち、発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定義する。なお、これらは有機材料であっても無機材料であっても良いし、高分子であっても低分子であっても良い。

## 【 0 0 7 2 】

本実施例では、まず正孔注入層としてポリチオフェン (PEDOT) を  $20 \text{ nm}$  の厚さに成膜し、さらに白色に発光する発光層としてポリビニルカルバゾール (PVK) を  $80 \text{ nm}$  の厚さに形成する。ポリチオフェンは水に溶かして塗布し、ポリビニルカルバゾールは 1, 2-ジクロロメタンに溶かして塗布すれば良い。また、正孔注入層および発光層は塗布した後にEL層を壊さない温度範囲 (典型的には  $80 \sim 120^\circ \text{C}$ ) で熱処理を行い、溶媒を揮発させて薄膜を得る。

## 【 0 0 7 3 】

例えば、1, 2-ジクロロメタンに、PVK、Bu-PBD (2-(4'-tert-ブチルフェニル)-5-(4''-ピフェニル)-1, 3, 4-オキサジアゾ

ール)、クマリン6、DCM1 (4-ジシアノメチレン-2-メチル-6-p-ジメチルアミノスチリル-4H-ピラン)、TPB (テトラフェニルブタジエン) およびナイルレッドを溶かしたものをを用いれば良い。

## 【0074】

また、白色に発光する発光層として用いることのできる高分子材料として、他にも特開平8-96959号公報または特開平9-63770号公報に記載された材料を用いることができる。

## 【0075】

次に、EL層385を形成したら、仕事関数の小さい導電膜からなる陰極386を400nmの厚さに形成する。本実施例では、アルミニウムとリチウムとを共蒸着により合金化して形成する。こうして画素電極(陽極)383、EL層385および陰極386を含むEL素子387が形成される。

## 【0076】

なお、陰極386を形成した後、EL素子387を完全に覆うようにしてパッシベーション膜を設けることは有効である。この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC膜を用いることは有効である。DLC膜は室温から100℃以下の温度範囲で成膜可能であるため、耐熱性の低いEL層385の上方にも容易に成膜することができる。また、酸素に対するブロッキング効果が高く、EL層385や陰極386の酸化を抑制することが可能である。

## 【0077】

さらに、陰極386上に封止材388を設けカバー材389を貼り合わせる。封止材388としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。

## 【0078】

また、カバー材389としては、ガラス基板、金属基板、セラミックス基板もしくはプラスチック基板(プラスチックフィルムも含む)を用いることができる。このカバー材389の両面もしくは片面に炭素膜、特にDLC膜を設けておくことは有効である。なお、プラスチックフィルムをカバー材として用いる場合に

はロールトゥロール方式にて両面にDLC膜を成膜すれば良い。

【0079】

こうして図4（B）に示すような構造のEL発光装置が完成する。なお、バンク384を形成した後、陰極386を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。但し、スピコート法によりEL層を形成する際には、脱酸素処理をした窒素雰囲気もしくは希ガス雰囲気で処理を行えば良い。

【0080】

ここで各TFTについて説明する。駆動回路はpチャネル型TFT401とnチャネル型TFT402とを相補的に組み合わせたCMOS回路を基本単位として形成されている。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、ラッチ、サンプリング回路（トランスファゲートを含む）もしくはD/Aコンバータなどが含まれる。

【0081】

pチャネル型TFT401の活性層は、ソース領域411、ドレイン領域412及びチャネル形成領域413を含む。このとき、ソース領域411およびドレイン領域412はゲート絶縁膜308を挟んで第1のゲート電極335aに重なっている。

【0082】

また、nチャネル型TFT402の活性層はソース領域414、ドレイン領域415、n型不純物領域（b）416、417、n型不純物領域（c）418、419およびチャネル形成領域420を含む。このとき、n型不純物領域（b）416、417は、ゲート絶縁膜308を挟んで第1のゲート電極336aには重ならないように設けられており、n型不純物領域（c）418、419は、ゲート絶縁膜308を挟んで第1のゲート電極336aに重なるように設けられている。なお、第1のゲート電極336aに重なるように設けられたn型不純物領域（c）418、419はホットキャリア注入を抑制する効果を有し、ホットキャリア注入に起因する劣化現象を効果的に抑制することができる。

【0083】



また、画素部にはスイッチング用 T F T 4 0 3 と電流制御用 T F T 4 0 4 が形成されている。なお、スイッチング用 T F T 4 0 3 のドレインは電流制御用 T F T 4 0 4 のゲートに電氣的に接続されており、スイッチング用 T F T 4 0 3 を介して電流制御用 T F T 4 0 4 のスイッチ動作が制御される。そして、電流制御用 T F T 4 0 4 により E L 素子に流れる電流量が制御される。

## 【 0 0 8 4 】

スイッチング用 T F T 4 0 3 の活性層は、ソース領域 4 2 1、ドレイン領域 4 2 2、n 型不純物領域 (b) 4 2 3 ~ 4 2 6、n 型不純物領域 (c) 4 2 7 ~ 4 3 0、分離領域 4 3 1、チャネル形成領域 4 3 2、4 3 3 を含む。また、ソース領域 4 2 1 は配線 3 7 9 を介してソース配線 3 4 0 に接続される。さらにドレイン領域 4 2 2 は配線 3 8 0 を介してドレイン配線 3 4 1 に接続される。このドレイン配線 3 4 1 は電流制御 T F T 4 0 4 のゲート電極 3 3 9 に接続される。

## 【 0 0 8 5 】

スイッチング T F T 4 0 3 の構造は基本的には n チャネル型 T F T 4 0 2 と同様であり、n 型不純物領域 (b) 4 2 3 ~ 4 2 6 はゲート絶縁膜 3 0 8 を挟んで第 1 のゲート電極 3 3 7 a、3 3 8 a には重ならないように設けられており、n 型不純物領域 (c) 4 2 7 ~ 4 3 0 はゲート絶縁膜 3 0 8 を挟んで第 1 のゲート電極 3 2 3 7 a、3 3 8 a に重なるように設けられている。即ち、ホットキャリア劣化に強い構造となっている。

## 【 0 0 8 6 】

なお、本実施例ではスイッチング T F T 4 0 3 として n チャネル型 T F T を用いた例を示したが、p チャネル型 T F T としても良い。

## 【 0 0 8 7 】

また、電流制御 T F T 4 0 4 の活性層は、ソース領域 4 3 4、ドレイン領域 4 3 5 およびチャネル形成領域 4 3 6 を含む。電流制御 T F T 4 0 4 の構造は基本的には p チャネル型 T F T 4 0 1 と同様であり、ソース領域 4 3 4 およびドレイン領域 4 3 5 はゲート絶縁膜 3 0 8 を挟んで第 1 のゲート電極 3 3 9 a に重なっている。なお、本実施例では電流制御 T F T 4 0 4 として p チャネル型 T F T を用いた例を示したが、n チャネル型 T F T としても良い。

## 【 0 0 8 8 】

ここで画素部を上面から見た図を図 5 に示す。また、図 5 において、A - A' で切断した断面図を図 6 (A) に、B - B' で切断した断面図を図 6 (B) に、C - C' で切断した断面図を図 6 (C) に示す。なお、図 6 (A) はスイッチング T F T 4 0 3 の断面構造を示し、図 6 (B) は保持容量の断面構造を示し、図 6 (C) は電流制御 T F T 4 0 4 の断面構造を示している。ここに示す画素部は図 2 ～図 4 に示した作製工程により形成可能であり、必要に応じて図 2 ～図 4 で用いた符号を参照する。

## 【 0 0 8 9 】

まず、スイッチング T F T 4 0 3 について図 5 および図 6 (A) を用いて説明する。図 5、図 6 (A) において、5 0 1 は活性層である。活性層 5 0 1 の詳細は図 4 (B) で説明した通りであるからここでの説明は省略する。そして、ソース配線 3 4 0 は配線 3 7 9 を介して活性層 5 0 1 と電氣的に接続され、さらに配線 3 8 0 を介してドレイン配線 3 4 1 と電氣的に接続される。

## 【 0 0 9 0 】

また、活性層 5 0 1 上にはゲート電極 5 0 2 が設けられている。なお、ゲート電極 5 0 2 のうち、活性層 5 0 1 と重なる部分が図 2 (E) のゲート電極 3 3 7、3 3 8 に相当する。また、ゲート電極 5 0 2 はコンタクト部 5 0 3 にてゲート配線 5 0 4 と電氣的に接続される。

## 【 0 0 9 1 】

次に、電流制御 T F T 4 0 4 について図 5 および図 6 (B) を用いて説明する。図 5、図 6 (B) において、5 0 5 は活性層である。活性層 5 0 5 の詳細は図 4 (B) で説明した通りであるからここでの説明は省略する。活性層 5 0 5 のソース領域は配線（電流供給線）3 8 1 と電氣的に接続され、ドレイン領域は配線 3 8 2 および画素電極（E L 素子の陽極）3 8 3 と電氣的に接続される。

## 【 0 0 9 2 】

また、活性層 5 0 5 上にはゲート電極 3 3 9 が設けられている。ゲート電極 3 3 9 はドレイン配線 3 4 1 が活性層 5 0 5 と重なる部分に相当する。また、ドレイン配線 3 4 1 はそのまま延長されて図 6 (C) に示す保持容量の上部電極 5 0

6を兼ねる。配線（電流供給線）381はコンタクト部507にて半導体膜508と電氣的に接続され、この半導体膜508が保持容量の下部電極として機能する。

## 【0093】

また、本実施例のEL発光装置の回路構成例を図7に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路701、画素部708及びゲート側駆動回路709を有している。なお、本明細書中において、駆動回路部とはソース側処理回路およびゲート側駆動回路を含めた総称である。

## 【0094】

本実施例では画素部708にスイッチングTFTとして図4（B）に示した構造のnチャネル型TFTが設けられ、このスイッチングTFTはゲート側駆動回路709に接続されたゲート配線とソース側駆動回路701に接続されたソース配線との交点に配置されている。また、スイッチングTFTのドレインはpチャネル型の電流制御用TFTのゲートに電氣的に接続されている。

## 【0095】

ソース側駆動回路701は、シフトレジスタ702、バッファ703、ラッチ（A）704、バッファ705、ラッチ（B）706、バッファ707を設けている。なお、アナログ駆動の場合はラッチ（A）、（B）の代わりにサンプリング回路（トランスファゲート）を設ければ良い。また、ゲート側駆動回路709は、シフトレジスタ710、バッファ711を設けている。

## 【0096】

なお、図示していないが、画素部708を挟んでゲート側駆動回路709の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

## 【0097】

なお、上記構成は、図2～図4に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路

部の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、 $\gamma$ 補正回路などの論理回路を同一基板上に形成することが可能であり、さらにはメモリやマイクロプロセッサ等を形成しうると考えている。

## 【0098】

さらに、EL素子を保護するための封止（または封入）工程まで行った後の本実施例のEL発光装置について図8（A）、（B）を用いて説明する。なお、必要に応じて図7で用いた符号を引用する。

## 【0099】

図8（A）は、EL素子の封止までを行った状態を示す上面図である。点線で示された701はソース側駆動回路、708は画素部、709はゲート側駆動回路である。また、1001はカバー材、1002は第1シール材、1003は封止材であり、第1シール材1002で囲まれた内側のカバー材1001とEL素子が形成された基板との間には封止材（図示せず）が設けられる。

## 【0100】

なお、1004はソース側駆動回路701及びゲート側駆動回路709に入力される信号を伝達するための接続配線であり、外部入力端子となるFPC1005からビデオ信号やクロック信号を受け取る。

## 【0101】

ここで、図8（A）をA-A'で切断した断面に相当する断面図を図8（B）に示す。なお、図8（A）、（B）では同一の部位に同一の符号を用いている。

## 【0102】

図8（B）に示すように、ガラス基板1006上には画素部708、ゲート側駆動回路709が形成されており、画素部708は電流制御用TFT404とそのドレインに電氣的に接続された画素電極383を含む複数の画素により形成される。また、ゲート側駆動回路709はpチャネル型TFT401とnチャネル型TFT402とを相補的に組み合わせたCMOS回路を用いて形成される。

## 【0103】

画素電極383はEL素子の陽極として機能する。また、画素電極383の両

端にはバンク 3 8 4 が形成され、画素電極 3 8 3 上には E L 層 3 8 5 および E L 素子の陰極 3 8 6 が形成される。陰極 3 8 6 は全画素に共通の配線としても機能し、接続配線 1 0 0 4 を経由して F P C 1 0 0 5 に電氣的に接続されている。さらに、画素部 7 0 8 及びゲート側駆動回路 7 0 9 に含まれる素子は全て陰極 3 8 6 で覆われている。

#### 【0104】

また、第 1 シール材 1 0 0 2 によりカバー材 1 0 0 1 が貼り合わされている。このとき、カバー材 1 0 0 1 と E L 素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第 1 シール材 1 0 0 2 の内側には封止材 1 0 0 7 が充填されている。なお、第 1 シール材 1 0 0 2、封止材 1 0 0 7 としては光硬化性樹脂を用いるのが好ましい。また、第 1 シール材 1 0 0 2 はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材 1 0 0 7 の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

#### 【0105】

E L 素子を覆うようにして設けられた封止材 1 0 0 7 はカバー材 1 0 0 1 を接着するための接着剤としても機能する。封止材 1 0 0 7 としては、ポリイミド、アクリル、P V C (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、P V B (ポリビニルブチラル) または E V A (エチレンビニルアセテート) を用いることができる。

#### 【0106】

また、本実施例ではカバー材 1 0 0 1 としては、ガラス板、石英板、プラスチック板、セラミックス板、F R P (Fiberglass-Reinforced Plastics) 板、P V F (ポリビニルフロライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。

#### 【0107】

さらに本実施例ではカバー材 1 0 0 1 の両面に炭素膜 (具体的には D L C 膜) 1 0 0 8 a、1 0 0 8 b を 2 ~ 3 0 n m の厚さに設けている。このような炭素膜は、酸素および水の侵入を防ぐとともにカバー材 1 0 0 1 の表面を機械的に保護する役割をもつ。勿論、外側の炭素膜 1 0 0 8 a に偏光板 (代表的には円偏光板)

を貼り付けることも可能である。

#### 【0108】

また、封止材1007を用いてカバー材1001を接着した後、封止材1007の側面（露呈面）を覆うように第2シール材1003を設ける。第2シール材1003は第1シール材1002と同じ材料を用いることができる。

#### 【0109】

以上のような構造でEL素子を封止材1007に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL発光装置を作製することができる。

#### 【0110】

##### 〔実施例2〕

本実施例では、着色層の配置の例について図10を用いて説明する。図10に示すのは、画素部を上面から見た図であり、各画素の構造は図5、図6（A）～図6（C）を用いて説明したものと同様である。

#### 【0111】

図10において、1201は赤色着色層、1202は緑色着色層、1203は青色着色層である。また、1204は緑色に発色させる画素、1205は青色に発色させる画素、1206は赤色に発色させる画素である。このとき、本実施例では、緑色に発色させる画素1204には緑色着色層1202を設け、青色に発色させる画素1205には青色着色層1203を設け、赤色に発色させる画素および各TFTの上方に赤色着色層1201を設ける。なお、赤色着色層1201はコンタクト部1207に開口部1208を有する。

#### 【0112】

TFTの活性層となる結晶質珪素膜は、650nm付近にピーク波長を有した光（赤色光）に対する吸収係数が小さいという特徴がある。従って、450nm付近にピーク波長をもつ青色光や550nm付近にピーク波長をもつ緑色光を当てないようにすることが、結晶質珪素膜の光励起によるリーク電流（もしくはオフ電流）を低減する上で有効と考えられる。

## 【0 1 1 3】

そこで、本実施例では緑色光や青色光を吸収する赤色着色層をT F Tの上方に設け、4 0 0 ~ 5 5 0 n m 近辺の波長の光を遮光するような構造としている。これによりE L 素子から放射された光によりT F Tのリーク電流が増加するといった不具合を抑制することが可能となる。

## 【0 1 1 4】

なお、各着色層に黒色顔料やカーボン粒子を含有させておくことは有効である。これにより外部からの光が吸収されるため、画像を観測する人が陰極に映り込む不具合を低減することができる。但し、含有量が多すぎると発光量自体も低下してしまうので、1 ~ 1 0 % の添加量とすることが望ましい。

## 【0 1 1 5】

なお、本実施例は実施例1と組み合わせて実施することができる。

## 【0 1 1 6】

## 〔実施例3〕

実施例1ではE L 層に含まれた発光層として白色発光が得られるE L 材料を用い、そこから放射された白色光を、赤色着色層、緑色着色層もしくは青色着色層に通すことにより赤色光、緑色光もしくは青色光を得る例を示した。

## 【0 1 1 7】

本実施例では、赤色に発色させる画素には赤色発光が得られる発光層を形成し、緑色に発色させる画素には緑色発光が得られる発光層を形成し、青色に発色させる画素には青色発光が得られる発光層を形成する。そして、各発光層から放射された赤色光、緑色光もしくは青色光を、それぞれ赤色着色層、緑色着色層もしくは青色着色層に通すことで色純度を向上させる。

## 【0 1 1 8】

本実施例の場合、赤色、緑色もしくは青色の発光が得られる三種類のE L 材料を成膜する必要があるが、公知の材料を用いることができる。また、画素ごとに分けて成膜する必要があるため、シャドーマスクを用いた蒸着法により低分子系E L 材料を成膜するか、インクジェット法や印刷法により高分子系E L 材料を成膜すれば良い。

## 【 0 1 1 9 】

なお、本実施例の構成は実施例 1 もしくは実施例 2 と自由に組み合わせて実施することが可能である。また、実施例 3 に示したように各着色層に黒色顔料やカーボン粒子を含有させておくことは有効である。

## 【 0 1 2 0 】

## 〔実施例 4〕

本実施例では、発光層として青色もしくは青緑色の発光が得られる E L 材料を用い、その発光を色変換層に通すことにより赤色光、緑色光もしくは青色光を得る例を示す。

## 【 0 1 2 1 】

本実施例の場合、赤色に発色させる画素には青色光を赤色光に変換する色変換層を形成し、緑色に発色させる画素には青色光を緑色光に変換する色変換層を形成する。この色変換層は公知のものをを用いれば良い。発光層から放射された青色光は色変換層を励起して赤色光もしくは緑色光を生成する。

## 【 0 1 2 2 】

そして、各色変換層から放射された赤色光、緑色光および発光層から放射された青色光を、それぞれ赤色着色層、緑色着色層もしくは青色着色層に通すことで色純度を向上させる。

## 【 0 1 2 3 】

本実施例では、発光層として青色もしくは青緑色の発光が得られる発光層だけを成膜すれば良いため、スピコート法や印刷法のように簡便な技術で成膜することが好ましい。勿論、蒸着法で成膜することも可能である。

## 【 0 1 2 4 】

なお、本実施例の構成は実施例 1 もしくは実施例 2 と自由に組み合わせて実施することが可能である。また、実施例 3 に示したように各着色層に黒色顔料やカーボン粒子を含有させておくことは有効である。

## 【 0 1 2 5 】

## 〔実施例 5〕

本実施例では実施例 1 と異なる構造の画素部を有した E L 発光装置を示す。な



お、各種配線（ゲート配線、ソース配線、ドレイン配線もしくは電流供給線等）の形成される層が異なる以外、T F T 構造および E L 素子構造は実施例 1 とほぼ同様である。従って、実施例 1 と同じ部分に関しては、図 5、図 6（A）～図 6（C）で用いた符号を引用することにする。

## 【 0 1 2 6 】

ここで画素部を上面から見た図を図 1 1 に示す。また、図 1 1 において、A - A' で切断した断面図を図 1 2（A）に、B - B' で切断した断面図を図 1 2（B）に、C - C' で切断した断面図を図 1 2（C）に示す。なお、図 1 2（A）はスイッチング T F T の断面構造を示し、図 1 2（B）は保持容量の断面構造を示し、図 1 2（C）は電流制御 T F T の断面構造を示している。また、ここに示す画素部は図 2 ～図 4 に示した作製工程を参照すれば形成できる。

## 【 0 1 2 7 】

まず、スイッチング T F T について図 1 1 および図 1 2（A）を用いて説明する。図 1 1、図 1 2（A）において、1 3 0 1 は活性層である。活性層 1 3 0 1 の詳細は図 4（B）で説明したスイッチング T F T と同様であるからここでの説明は省略する。活性層 1 3 0 1 の上にはゲート配線 1 3 0 2 が重なりゲート電極として機能している。そして、活性層 1 3 0 1 にはソース配線 1 3 0 3 およびドレイン配線 1 3 0 4 が接続され、ドレイン配線 1 3 0 3 は電流制御 T F T のゲート配線 1 3 0 5 に接続される。

## 【 0 1 2 8 】

次に、電流制御 T F T について図 1 1 および図 1 2（B）を用いて説明する。なお、電流制御 T F T は二つの T F T が並列に接続された構造となっているが、ここではその片方についての説明を行う。図 1 1、図 1 2（B）において、1 3 0 6 は活性層である。活性層 1 3 0 6 の詳細は図 4（B）で説明した電流制御 T F T と同様であるからここでの説明は省略する。活性層 1 3 0 6 のソース領域は電流供給線 1 3 0 7 に接続され、ドレイン領域はドレイン配線 1 3 0 8 を介して画素電極（E L 素子の陽極）1 3 0 9 と電氣的に接続される。

## 【 0 1 2 9 】

また、電流制御 T F T のゲート配線 1 3 0 5 は電流供給線 1 3 0 7 の直下にお

いて図 1 2 (C) に示す保持容量 1 3 1 0 の上部電極 1 3 1 1 を兼ねる。このとき、電流供給線 1 3 0 7 は半導体膜 1 3 1 2 と電氣的に接続され、この半導体膜 1 2 1 2 が保持容量 1 3 1 0 の下部電極として機能する。本実施例の構造にすると保持容量 1 3 1 0 が完全に電流供給線 1 3 0 7 の下に隠れるため、画素の有効発光面積を狭くするようなことがない。

#### 【0 1 3 0】

次に、消去 T F T について説明する。本実施例の画素にはスイッチング T F T と同じ構造の消去 T F T 1 3 1 3 が設けられている。消去 T F T 1 3 1 3 の活性層 1 3 1 4 は、ソース領域が電流供給線 1 3 0 7 に接続され、ドレイン領域がドレイン配線 1 3 1 5 を介して電流制御 T F T のゲート配線 1 3 0 5 と電氣的に接続される。なお、活性層 1 3 1 4 の構造はスイッチング T F T と同様であるからここでの説明は省略する。

#### 【0 1 3 1】

また、消去 T F T のゲート配線（以下、消去ゲート配線という） 1 3 1 6 はスイッチング T F T のゲート配線 1 3 0 2 と平行に設けられている。

#### 【0 1 3 2】

消去ゲート配線 1 3 1 6 に消去 T F T 1 3 1 3 をオン状態にする信号が入ると電流制御 T F T のゲート配線 1 3 0 5 は強制的に電流供給線 1 3 0 7 と同電位になる。即ち、電流制御 T F T がオフ状態になるため E L 素子 3 8 7 への電流の供給がなくなり、発光が止まって画素は消灯する。

#### 【0 1 3 3】

このように、消去 T F T 1 3 1 3 を設けることで画素を強制的に消灯することができ、画素の点灯時間の制御性が高まる。即ち、時間階調方式の画像表示において、階調数を容易に上げることが可能となる。なお、このような消去 T F T を用いた E L 発光装置に関して特願平 1 1 - 3 3 8 7 8 6 号を引用すれば良い。

#### 【0 1 3 4】

また、本実施例の構成は実施例 2 ～ 4 のいずれの構成とも自由に組み合わせて実施することが可能である。

#### 【0 1 3 5】

## 〔実施例 6〕

本実施例では実施例 1 と異なる作製工程で E L 発光装置を作製する例について図 1 3 を用いて説明する。なお、実施例 1 と途中の工程が異なるだけであるので必要に応じて実施例 1 で用いた符号を参照する。

## 【0 1 3 6】

まず、実施例 1 の作製工程に従って、図 2 (E) の工程まで行う。但し、本実施例では図 2 (C) に示した n 型不純物元素の添加工程を省略する。こうして図 1 3 (A) の状態が得られる。

## 【0 1 3 7】

次に、図 1 3 (B) に示すように、レジストマスク 3 1 1 a ~ 3 1 1 e を除去した後、半導体膜に n 型不純物元素（本実施例ではリン）を添加する。なお、ここで行う n 型不純物元素の添加工程は、実施例 1 の図 3 (A) に示した添加工程と同様の条件で行えば良い。

## 【0 1 3 8】

こうして、n 型不純物領域 (b) 6 0 1 ~ 6 0 9 および n 型不純物領域 (c) 6 1 0 ~ 6 1 9 が形成される。なお、n 型不純物領域 (b) 6 0 1 ~ 6 0 9 および n 型不純物領域 (c) 6 1 0 ~ 6 1 9 に含まれる n 型不純物元素の濃度は実施例 1 を参照すれば良い。

## 【0 1 3 9】

次に、レジストマスク 6 2 0 a ~ 6 2 0 e を形成し、実施例 1 の図 2 (C) に示した添加工程と同様に n 型不純物元素（本実施例ではリン）を添加する。こうして n 型不純物領域 (a) 6 2 1 ~ 6 2 9 が形成される。なお、n 型不純物領域 (a) 6 2 1 ~ 6 2 9 に含まれる n 型不純物元素の濃度は実施例 1 を参照すれば良い。（図 1 3 (C)）

## 【0 1 4 0】

このとき、n 型不純物領域 (b) 6 0 1 ~ 6 0 9 のうちレジストマスク 6 2 0 a ~ 6 2 0 e で隠された部分は、後に L D D（ライトドープドレイン）領域として機能する。本実施例は後に L D D 領域として機能する n 型不純物領域 (b) の長さ（L D D 長さ）をレジストマスク 6 2 0 a ~ 6 2 0 e で自由に調節できるため L

DD長さの制御性に優れる点に特徴がある。

【0141】

次に、レジストマスク620a～620eを除去し、レジストマスク630を形成する。そして、実施例1の図3（B）に示した添加工程と同様にp型不純物元素（本実施例ではボロン）を添加する。こうしてp型不純物領域（a）631～634が形成される。なお、p型不純物領域（a）631～634に含まれるp型不純物元素の濃度は実施例1を参照すれば良い。（図13（D））

【0142】

このあとは、実施例1の図3（C）に示した活性化工程以降の工程に従ってEL発光装置を作製すれば良い。また、完成したTFE構造は実施例1とほぼ同様であるため、実施例1の説明を参照すれば良い。なお、本実施例は実施例1～5のいずれの構成とも自由に組み合わせて実施することが可能である。

【0143】

〔実施例7〕

本実施例では実施例1と異なる作製工程でEL発光装置を作製する例について図14を用いて説明する。なお、実施例1と途中の工程が異なるだけであるので必要に応じて実施例1で用いた符号を参照する。

【0144】

まず、実施例1の作製工程に従って、図2（E）の工程まで行う。但し、本実施例では図2（C）に示したn型不純物元素の添加工程を省略する。こうして図14（A）の状態が得られる。

【0145】

次に、図14（B）に示すように、レジストマスク311a～311eを除去した後、n型不純物元素（本実施例ではリン）を添加する。なお、ここで行うn型不純物元素の添加工程は、実施例1の図3（A）に示した添加工程と同様の条件で行えば良い。

【0146】

こうして、n型不純物領域（b）601～609およびn型不純物領域（c）610～619が形成される。なお、n型不純物領域（b）601～609およ

び n 型不純物領域 (c) 6 1 0 ~ 6 1 9 に含まれる n 型不純物元素の濃度は実施例 1 を参照すれば良い。

【 0 1 4 7 】

次に、ゲート電極 3 3 5 ~ 3 3 9 をマスクとして、半導体膜に実施例 1 の図 2 (C) に示した添加工程と同様に n 型不純物元素 (本実施例ではリン) を添加する。こうして n 型不純物領域 (a) 7 0 1 ~ 7 0 9 が形成される。なお、n 型不純物領域 (a) 7 0 1 ~ 7 0 9 に含まれる n 型不純物元素の濃度は実施例 1 を参照すれば良い。(図 1 4 (C))

【 0 1 4 8 】

次に、レジストマスク 7 1 0 を形成し、実施例 1 の図 3 (B) に示した添加工程と同様に p 型不純物元素 (本実施例ではボロン) を添加する。こうして p 型不純物領域 (a) 7 1 1 ~ 7 1 4 が形成される。なお、p 型不純物領域 (a) 7 1 1 ~ 7 1 4 に含まれる p 型不純物元素の濃度は実施例 1 を参照すれば良い。(図 1 4 (D))

【 0 1 4 9 】

このあとは、実施例 1 の図 3 (C) に示した活性化工程以降の工程に従って E L 発光装置を作製すれば良い。また、完成した T F T 構造は実施例 1 とほぼ同様であるため、実施例 1 の説明を参照すれば良い。なお、本実施例は実施例 1 ~ 5 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 1 5 0 】

〔実施例 8〕

実施例 1 では層間絶縁膜 3 7 5 として樹脂膜を用いたが、本実施例では珪素を含む絶縁膜、具体的には酸化珪素膜を用いる。本実施例の場合、まず図 3 (B) の工程まで終えたら、ゲート電極を覆うように 1 0 0 ~ 2 0 0 n m の厚さの保護膜 (本実施例では窒化酸化珪素膜) を形成する。

【 0 1 5 1 】

次に、図 3 (C) と同様に活性化工程を行い、次に 8 0 0 n m ~ 1  $\mu$  m の厚さの層間絶縁膜 (本実施例では酸化珪素膜) を設ける。本実施例では、この層間絶縁膜を形成する前に 3 ~ 1 0 0 % の水素を含む雰囲気中にて 3 5 0 ~ 5 0 0  $^{\circ}$  C の

熱処理を行い、活性層の不對結合手を励起された水素で終端する。

【 0 1 5 2 】

これらの工程の後、ソース配線もしくはドレイン配線を前記層間絶縁膜上に形成し、ソース配線およびドレイン配線をパッシベーション膜で覆う。本実施例ではパッシベーション膜として窒化珪素膜もしくは窒化酸化珪素膜を用いる。

【 0 1 5 3 】

なお、本実施例の構成は実施例 1 ～ 7 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 1 5 4 】

〔実施例 9〕

本実施例では、実施例 1 に示した E L 表示装置とは異なる構造で E L 素子を封止した例について図 9 を用いて説明する。なお、図 8 と同一の部分については同一の符号を用いる。

【 0 1 5 5 】

本実施例ではカバー材 1 1 0 1 として、両面に D L C 膜 1 1 0 2 a および 1 1 0 2 b を形成したプラスチックフィルムを用いる。プラスチックフィルムの両面に D L C 膜を形成する場合、プラスチックフィルムをロールに巻いて成膜を行うロールトゥロール方式を用いれば良い。

【 0 1 5 6 】

本実施例では、実施例 1 に従って E L 素子まで作製した基板に、封止材 1 1 0 3 を用いてカバー材 1 1 0 1 を貼り合わせる。そして、カバー材 1 1 0 1 の端部はシール材 1 1 0 4 で封止する。本実施例で用いる封止材 1 1 0 3 およびシール材 1 1 0 4 に関しては、実施例 1 に示した材料を用いることができる。

【 0 1 5 7 】

なお、本実施例の構成は実施例 1 ～ 8 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 1 5 8 】

〔実施例 1 0〕

本実施例では、実施例 1 において図 5 に示した画素構造および実施例 5 におい

て図 1 1 に示した画素構造の回路図について説明する。ここでは図 5 に対応した回路図を図 1 5 (A) に、図 1 1 に対応した回路図を図 1 5 (B) に示す。

【0 1 5 9】

図 1 5 (A) において、3 4 0 はソース配線、3 8 1 は電流供給線、5 0 4 はゲート配線である。これらの符号は図 5 に対応している。また、1 5 0 1 は図 6 (A) に示したスイッチング T F T、1 5 0 2 は図 6 (B) に示した電流制御 T F T、1 5 0 3 は図 6 (C) に示した保持容量、1 5 0 4 は E L 素子である。

【0 1 6 0】

本実施例に示した画素をデジタル駆動する場合には、特願 2 0 0 0 - 1 1 4 5 9 2 号に記載の駆動方法を引用すれば良い。

【0 1 6 1】

次に、図 1 5 (B) において、1 3 0 3 はソース配線、1 3 0 7 は電流供給線、1 3 0 2 はゲート配線である。これらの符号は図 1 1 に対応している。また、1 5 0 5 は図 1 2 (A) に示したスイッチング T F T、1 5 0 6 は図 1 2 (B) に示した電流制御 T F T、1 5 0 7 は図 1 2 (C) に示した保持容量、1 5 0 8 は E L 素子、1 5 0 9 は消去 T F T である。

【0 1 6 2】

本実施例に示した画素をデジタル駆動する場合には、特願平 1 1 - 3 3 8 7 8 6 号に記載の駆動方法を引用すれば良い。

【0 1 6 3】

なお、本実施例の構成は実施例 1 ～ 9 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0 1 6 4】

〔実施例 1 1〕

本発明を実施するにあたって E L 素子を形成するために用いる成膜装置の例を図 1 6 に示す。なお、本実施例ではインライン方式の成膜装置とした場合について説明する。図 1 6 において 8 0 1 はロード室であり、基板 8 0 の搬送はここから行われる。ロード室 8 0 1 には排気系 8 0 0 a が備えられ、排気系 8 0 0 a は第 1 バルブ 8 1、ターボ分子ポンプ 8 2、第 2 バルブ 8 3 及びロータリーポンプ (

油回転ポンプ) 84 を含んだ構成からなっている。

【0165】

第1バルブ81はメインバルブであり、コンダクタンスバルブを兼ねる場合もあるしバタフライバルブを用いる場合もある。第2バルブ83はフォアバルブであり、まず第2バルブ83を開けてロータリーポンプ84によりロード室801を粗く減圧し、次に第1バルブ81を開けてターボ分子ポンプ82で高真空まで減圧する。なお、ターボ分子ポンプの代わりにメカニカルブースターポンプ若しくはクライオポンプを用いることが可能であるがクライオポンプは水分の除去に特に効果的である。

【0166】

次に、802で示されるのはEL素子の陽極もしくは陰極（本実施例では陽極）の表面を処理する前処理室であり、前処理室802は排気系800bを備えている。また、ロード室801とは図示しないゲートで密閉遮断されている。前処理室802はEL素子の作製プロセスによって様々に変えることができる。

【0167】

前処理としては、オゾンプラズマ処理、酸素プラズマ処理、アルゴンプラズマ処理、ネオンプラズマ処理、ヘリウムプラズマ処理もしくは水素プラズマ処理を行うことができる。また、ヒーターを備えることでプラズマ処理と同時に加熱することも可能である。さらに、紫外光ランプを備えることで紫外光照射を可能とすることも有効である。

【0168】

本実施例では、基板を100℃に加熱しながら酸化物導電膜からなる陽極の表面にオゾンプラズマ処理を行い、水分の除去と同時に陽極表面の仕事関数を高める前処理を行う。

【0169】

次に、803は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(A)と呼ぶ。蒸着室(A)803は排気系800cを備えている。また、前処理室802とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(A)803にて正孔注入層を形成する。



## 【0170】

次に、804は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(B)と呼ぶ。蒸着室(B)804は排気系800dを備えている。また、蒸着室(A)803とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(B)804にて正孔輸送層を形成する。

## 【0171】

次に、805は蒸着法により有機EL材料を成膜するための蒸着室であり、蒸着室(C)と呼ぶ。蒸着室(C)805は排気系800eを備えている。また、蒸着室(B)804とは図示しないゲートで密閉遮断されている。本実施例では、蒸着室(C)805において、赤色に発色する発光層を形成する。

## 【0172】

次に、806は蒸着法により有機EL材料を成膜するための蒸着室であり、蒸着室(D)と呼ぶ。蒸着室(D)806は排気系800fを備えている。また、蒸着室(C)805とは図示しないゲートで密閉遮断されている。本実施例では、蒸着室(D)806において、緑色に発色する発光層を形成する。

## 【0173】

次に、807は蒸着法により有機EL材料を成膜するための蒸着室であり、蒸着室(E)と呼ぶ。蒸着室(E)807は排気系800gを備えている。また、蒸着室(D)806とは図示しないゲートで密閉遮断されている。本実施例では、蒸着室(E)807において、青色に発色する発光層を形成する。

## 【0174】

次に、808は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(F)と呼ぶ。蒸着室(F)808は排気系800hを備えている。また、蒸着室(E)807とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(F)808にて電子輸送層を形成する。

## 【0175】

次に、809は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(G)と呼ぶ。蒸着室(G)809は排気系800iを備えている。また、蒸着室(F)808とは図示しないゲートで密閉遮断されている。本実施例では蒸着

室（G）809にて電子注入層を形成する。

【0176】

次に、810は蒸着法によりEL素子の陽極もしくは陰極となる導電膜（本実施例では陰極となる金属膜）を成膜するための蒸着室であり、蒸着室（H）と呼ぶ。蒸着室（H）810は排気系800jを備えている。また、蒸着室（G）809とは図示しないゲートで密閉遮断されている。

【0177】

本実施例では、蒸着室（H）810にて、EL素子の陰極となる導電膜としてAl-Li合金膜（アルミニウムとリチウムとの合金膜）もしくはAl-Cs合金膜（アルミニウムとセシウムとの合金膜）を形成する。なお、周期表の1族もしくは2族に属する元素とアルミニウムとを共蒸着することも可能である。

【0178】

次に、811は封止室であり、排気系800kを備えている。また、蒸着室（H）810とは図示しないゲートで密閉遮断されている。封止室811ではEL素子を酸素および水分から保護するために、パッシベーション膜としてDLC（ダイヤモンドライクカーボン）膜を形成する。

【0179】

DLC膜を形成するにはスパッタ法もしくはプラズマCVD法を用いれば良い。DLC膜は室温から100℃以下の温度範囲で成膜できるため、耐熱性の低いEL素子を保護するパッシベーション膜として好適である。また、熱伝導率が高く放熱効果が良いため、EL素子の熱劣化を抑制する効果も期待できる。なお、本実施例で形成するDLC膜は窒化珪素膜もしくは炭化珪素膜と積層して用いることも有効である。

【0180】

さらに、DLC膜中にフッ素や水素を添加しても良い。また、DLC膜中の酸素濃度を $1 \times 10^{18} \text{atoms/cm}^3$ 以下とすることで酸素の透過率を低減することが可能である。

【0181】

最後に、812はアンロード室であり、排気系800lを備えている。EL素

子が形成された基板はここから取り出される。

【0182】

以上のように、図20に示した成膜装置を用いることで完全にEL素子を密閉空間に封入するまで外気に晒さずに済むため、信頼性の高いEL表示装置を作製することが可能となる。また、インライン方式により高いスループットでEL表示装置を作製することができる。

【0183】

さらに、本実施例に示した成膜装置の各処理室、排気系および搬送系をコンピュータ制御により動作させることは有効である。本実施例の場合、連続的に一連の処理を行ってEL素子が完成するため、コンピュータ制御により基板投入から基板取り出しまでを管理することができる。

【0184】

なお、本実施例に示した成膜装置を用いて実施例1～10に示したいずれの構成のEL表示装置を作製しても良い。

【0185】

〔実施例12〕

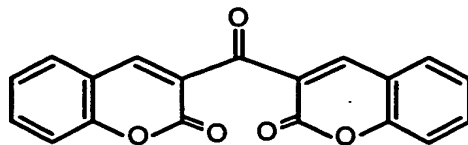
本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。  
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

上記論文に報告されたEL材料（クマリン色素）の分子式を以下に示す。

【0186】

【化 1】



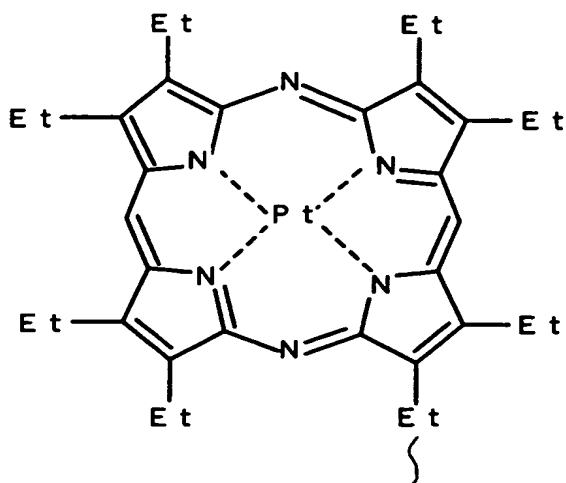
【0187】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S. R.Forrest, Nature 395 (1998) p.151.)

上記論文に報告された EL 材料 (Pt 錯体) の分子式を以下に示す。

【0188】

【化 2】



【0189】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Ph

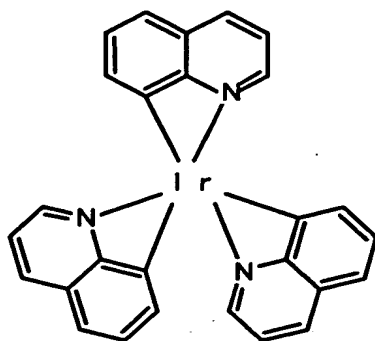
ys.Lett.,75 (1999) p.4.)

(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記論文に報告された E L 材料 ( I r 錯体 ) の分子式を以下に示す。

【 0 1 9 0 】

【 化 3 】



【 0 1 9 1 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3 ～ 4 倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例 1 ～ 実施例 1 1 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 1 9 2 】

〔 実施例 1 3 〕

本実施例では、実施例 1 において図 4 ( B ) に示した E L 素子 3 8 7 の具体的な例について図 1 7 を用いて説明する。なお、本実施例に示す E L 素子の構造例は図 4 ( B ) の E L 素子 3 8 7 の部分を拡大した例に相当する。なお、本実施例

で E L 層を形成する材料は公知の有機材料もしくは無機材料を用いることができる。また、高分子系材料であっても低分子系材料であっても良い。

【0193】

まず、図 1 7 (A) は、陽極（画素電極）1 1 上に正孔注入層 1 2、正孔輸送層 1 3、発光層 1 4、電子輸送層 1 5、電子注入層 1 6 および陰極 1 7 を積層した構造の E L 素子である。なお、発光層 1 4 は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0194】

本実施例では、前処理室 8 0 2 で陽極 1 1 の表面改善を行い、蒸着室 (A) 8 0 3 で正孔注入層 1 2 を形成し、蒸着室 (B) 8 0 4 で正孔輸送層 1 3 を形成し、蒸着室 (C) 8 0 5 ～蒸着室 (E) 8 0 7 で発光層 1 4 を形成し、蒸着室 (F) 8 0 8 で電子輸送層 1 5 を形成し、蒸着室 (G) 8 0 9 で電子注入層 1 6 を形成し、蒸着室 (H) 8 1 0 で陰極 1 7 を形成する。

【0195】

次に、図 1 7 (B) は、陽極（画素電極）1 1 上に正孔注入層 1 2、正孔輸送層 1 3、発光層 1 4、電子注入層 1 6 および陰極 1 7 を積層した構造の E L 素子である。なお、発光層 1 4 は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0196】

本実施例では、前処理室 8 0 2 で陽極 1 1 の表面改善を行い、蒸着室 (A) 8 0 3 で正孔注入層 1 2 を形成し、蒸着室 (B) 8 0 4 で正孔輸送層 1 3 を形成し、蒸着室 (C) 8 0 5 ～蒸着室 (E) 8 0 7 で発光層 1 4 を形成し、蒸着室 (F) 8 0 8 を通過させて、蒸着室 (G) 8 0 9 で電子注入層 1 6 を形成し、蒸着室 (H) 8 1 0 で陰極 1 7 を形成する。

【0197】

次に、図 1 7 (C) は、陽極（画素電極）1 1 上に正孔注入層 1 2、発光層 1 4、電子輸送層 1 5、電子注入層 1 6 および陰極 1 7 を積層した構造の E L 素子である。なお、発光層 1 4 は赤、緑、青に対応した三種類の発光層を成膜しても良い。

## 【 0 1 9 8 】

本実施例では、前処理室 8 0 2 で陽極 1 1 の表面改善を行い、蒸着室 (A) 8 0 3 で正孔注入層 1 2 を形成し、蒸着室 (B) 8 0 4 を通過させて、蒸着室 (C) 8 0 5 ~ 蒸着室 (E) 8 0 7 で発光層 1 4 を形成し、蒸着室 (F) 8 0 8 で電子輸送層 1 5 を形成し、蒸着室 (G) 8 0 9 で電子注入層 1 6 を形成し、蒸着室 (H) 8 1 0 で陰極 1 7 を形成する。

## 【 0 1 9 9 】

次に、図 1 7 (D) は、陽極 (画素電極) 1 1 上に正孔注入層 1 2、発光層 1 4、電子注入層 1 6 および陰極 1 7 を積層した構造の E L 素子である。なお、発光層 1 4 は赤、緑、青に対応した三種類の発光層を成膜しても良い。

## 【 0 2 0 0 】

本実施例では、前処理室 8 0 2 で陽極 1 1 の表面改善を行い、蒸着室 (A) 8 0 3 で正孔注入層 1 2 を形成し、蒸着室 (B) 8 0 4 を通過させて、蒸着室 (C) 8 0 5 ~ 蒸着室 (E) 8 0 7 で発光層 1 4 を形成し、蒸着室 (F) 8 0 8 を通過させて、蒸着室 (G) 8 0 9 で電子注入層 1 6 を形成し、蒸着室 (H) 8 1 0 で陰極 1 7 を形成する。

## 【 0 2 0 1 】

次に、図 1 7 (E) は、陽極 (画素電極) 1 1 上に正孔注入層 1 2、クラスター 1 8、発光層 1 4、電子輸送層 1 5、電子注入層 1 6 および陰極 1 7 を積層した構造の E L 素子である。なお、発光層 1 4 は赤、緑、青に対応した三種類の発光層を成膜しても良い。また、クラスター 1 8 は陽極 1 1 の仕事関数を高めるために設けられ、本実施例ではイリジウム、ニッケルもしくは白金をクラスター状 (塊状) に設ける。

## 【 0 2 0 2 】

本実施例では、前処理室 8 0 2 で陽極 1 1 の表面改善を行い、蒸着室 (A) でクラスター 1 8 を形成し、蒸着室 (B) 8 0 4 で正孔注入層 1 2 を形成し、蒸着室 (C) 8 0 5 ~ 蒸着室 (E) 8 0 7 で発光層 1 4 を形成し、蒸着室 (F) 8 0 8 で電子輸送層 1 5 を形成し、蒸着室 (G) 8 0 9 で電子注入層 1 6 を形成し、蒸着室 (H) 8 1 0 で陰極 1 7 を形成する。

## 【 0 2 0 3 】

次に、図 1 7 ( F ) は、陽極（画素電極） 1 1 上に正孔注入層 1 2、クラスター 1 8、発光層 1 4、電子注入層 1 6 および陰極 1 7 を積層した構造の E L 素子である。なお、発光層 1 4 は赤、緑、青に対応した三種類の発光層を成膜しても良い。

## 【 0 2 0 4 】

本実施例では、前処理室 8 0 2 で陽極 1 1 の表面改善を行い、蒸着室（A）でクラスター 1 8 を形成し、蒸着室（B） 8 0 4 で正孔注入層 1 2 を形成し、蒸着室（C） 8 0 5 ～蒸着室（E） 8 0 7 で発光層 1 4 を形成し、蒸着室（F） 8 0 8 を通過させて、蒸着室（G） 8 0 9 で電子注入層 1 6 を形成し、蒸着室（H） 8 1 0 で陰極 1 7 を形成する。

## 【 0 2 0 5 】

以上のように、様々な構造の E L 素子を形成する場合においても、図 1 6 に示したような成膜装置を用いれば容易に作製することが可能である。なお、本実施例に示した構成は実施例 1 ～実施例 1 2 のいずれの構成とも自由に組み合わせて実施することが可能である。

## 【 0 2 0 6 】

## 〔実施例 1 4〕

本発明を実施して形成された発光装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。その際、本発明の発光装置はパッシブ型の発光装置でありながらも配線抵抗を減らすことで大画面化を可能としているため、用途も幅広いものとすることができる。

## 【 0 2 0 7 】

本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、カーオーディオ、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（C D）、レーザーディスク



ク（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電気器具の具体例を図 1 7、図 1 8 に示す。

【0 2 0 8】

図 1 8（A）は EL ディスプレイであり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3 を含む。本発明の発光装置は表示部 2 0 0 3 に用いることができる。EL ディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0 2 0 9】

図 1 8（B）はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 を含む。本発明の発光装置は表示部 2 1 0 2 に用いることができる。

【0 2 1 0】

図 1 8（C）はデジタルカメラであり、本体 2 2 0 1、表示部 2 2 0 2、接眼部 2 2 0 3、操作スイッチ 2 2 0 4 を含む。本発明の発光装置は表示部 2 2 0 2 に用いることができる。

【0 2 1 1】

図 1 8（D）は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 2 3 0 1、記録媒体（CD、LD または DVD 等）2 3 0 2、操作スイッチ 2 3 0 3、表示部（a）2 3 0 4、表示部（b）2 3 0 5 を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の発光装置はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置には、CD 再生装置、ゲーム機器なども含まれうる。

【0 2 1 2】

図 1 8（E）は携帯型（モバイル）コンピュータであり、本体 2 4 0 1、表示部 2 4 0 2、受像部 2 4 0 3、操作スイッチ 2 4 0 4、メモリスロット 2 4 0 5 を含む。本発明の電気光学装置は表示部 2 4 0 2 に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に

情報を記録したり、それを再生したりすることができる。

【0213】

図18(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504を含む。本発明の発光装置は表示部2503に用いることができる。

【0214】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0215】

また、上記電子装置はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、そのような動画表示を行うに適している。

【0216】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0217】

ここで図19(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の発光装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0218】

また、図19(B)はカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明の発光装置は表示部2702

に用いることができる。また、本実施例では車載用カーオーディオを示すが、据え置き型のカーオーディオに用いても良い。なお、表示部 2 7 0 4 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。

#### 【 0 2 1 9 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例 1 ～ 1 3 の構成を自由に組み合わせた発光装置を用いることで得ることができる。

#### 【 0 2 2 0 】

##### 【発明の効果】

本発明を実施することでフォトリソグラフィ工程の少ない作製工程で T F T を作製することができるため、T F T を用いたアクティブマトリクス型の発光装置の歩留まりを向上させることができる。さらに、発光装置の製造期間の短縮を図り、製造コストを低減することにより安価な発光装置を提供しうる。さらに、安価な発光装置を用いることで安価な電気器具を提供することが可能となる。

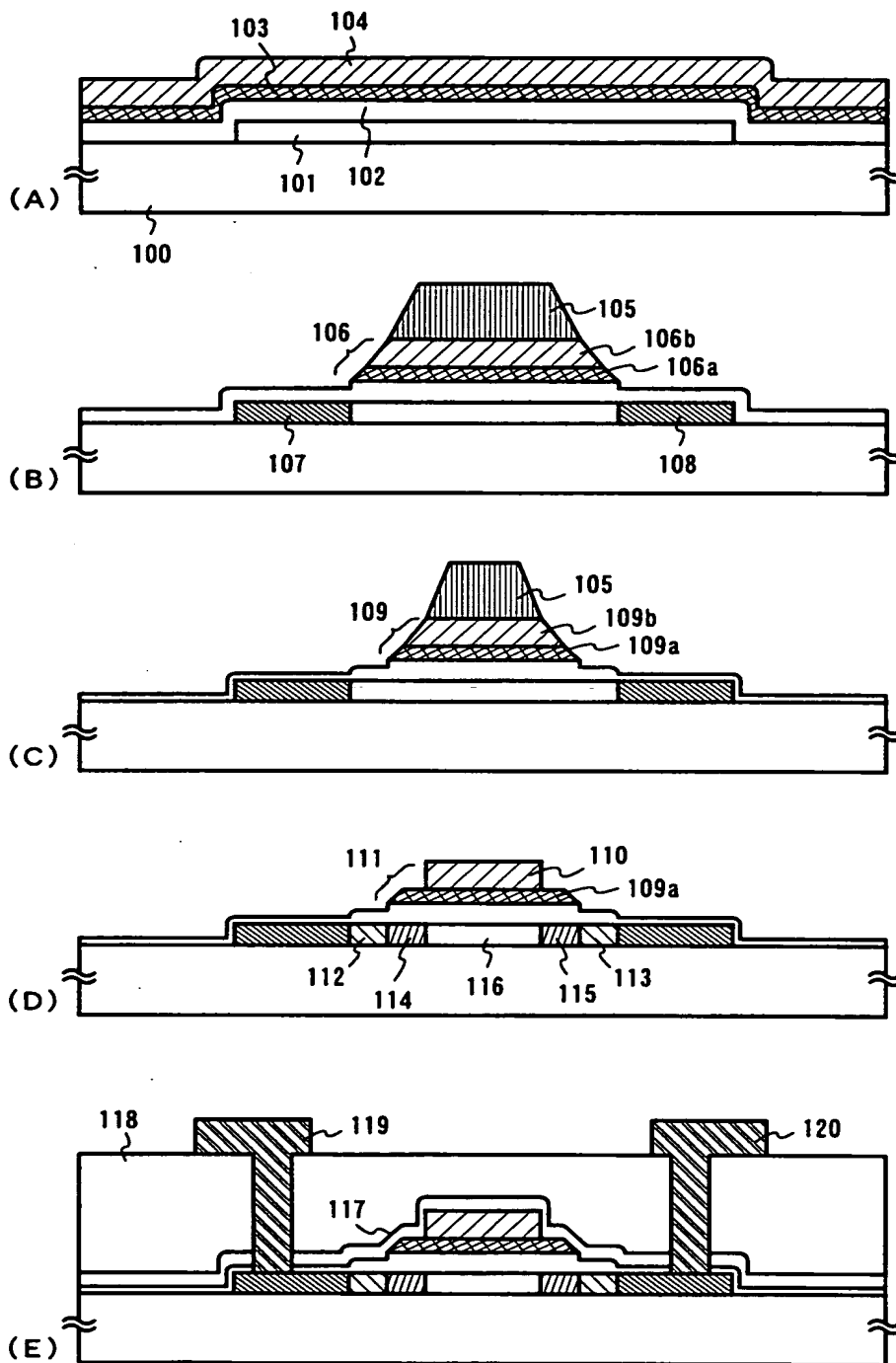
##### 【図面の簡単な説明】

- 【図 1】 本発明の n チャンネル型 T F T の作製工程を示す図。
- 【図 2】 画素部および駆動回路の作製工程を示す図。
- 【図 3】 画素部および駆動回路の作製工程を示す図。
- 【図 4】 画素部および駆動回路の作製工程を示す図。
- 【図 5】 画素部の上面構造を示す図。
- 【図 6】 画素部の断面構造を示す図。
- 【図 7】 E L 発光装置の回路構成を示す図。
- 【図 8】 E L 発光装置の上面構造および断面構造を示す図。
- 【図 9】 E L 発光装置の上面構造および断面構造を示す図。
- 【図 1 0】 画素部の上面構造を示す図。
- 【図 1 1】 画素部の上面構造を示す図。
- 【図 1 2】 画素部の断面構造を示す図。
- 【図 1 3】 画素部および駆動回路の作製工程を示す図。
- 【図 1 4】 画素部および駆動回路の作製工程を示す図。

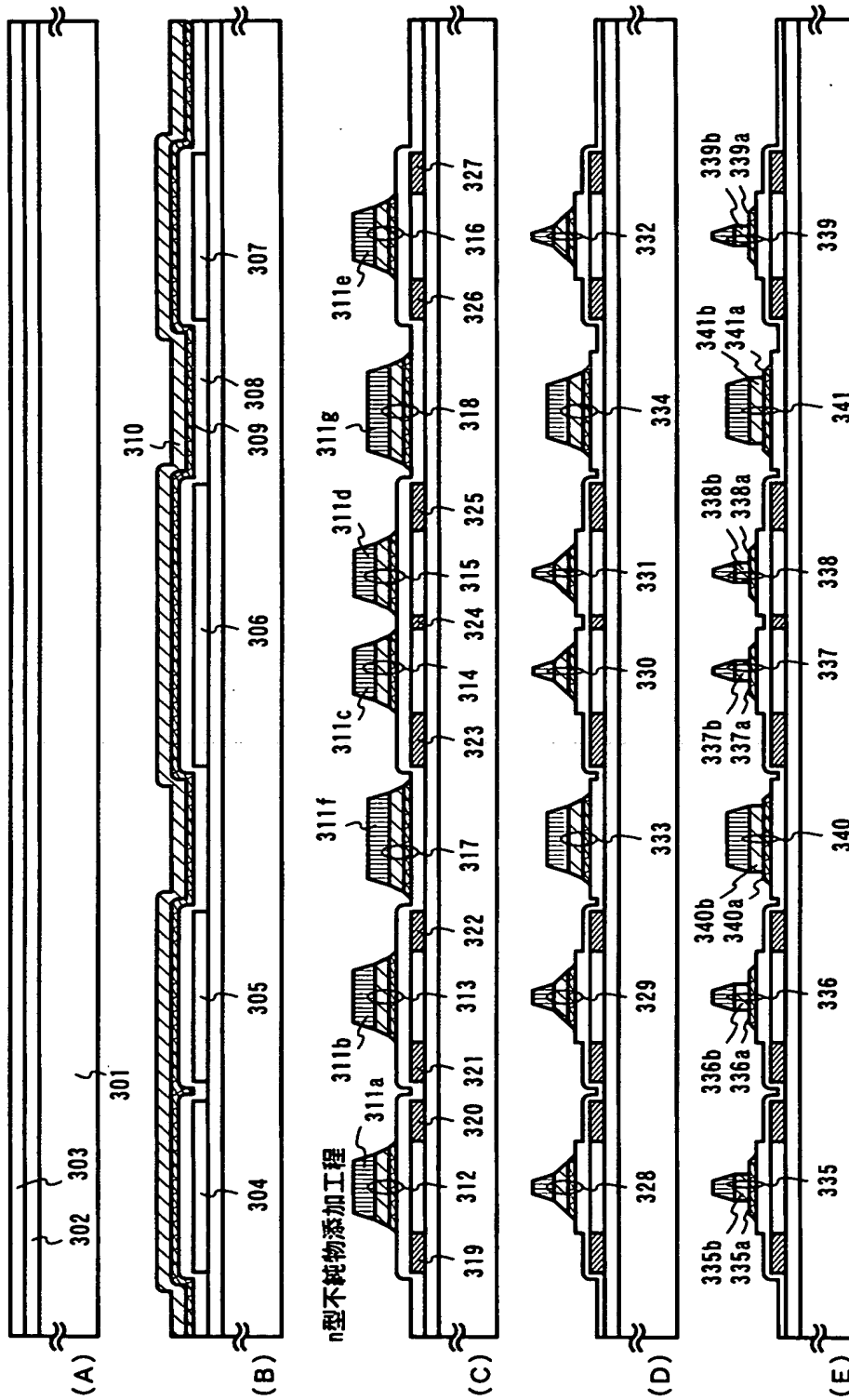
- 【図 1 5】 画素の回路構成を示す図。
- 【図 1 6】 インライン方式の成膜装置の構成を示す図。
- 【図 1 7】 E L 素子の構造を示す図。
- 【図 1 8】 電気器具の具体例を示す図。
- 【図 1 9】 電気器具の具体例を示す図。

【書類名】 図面

【図 1】

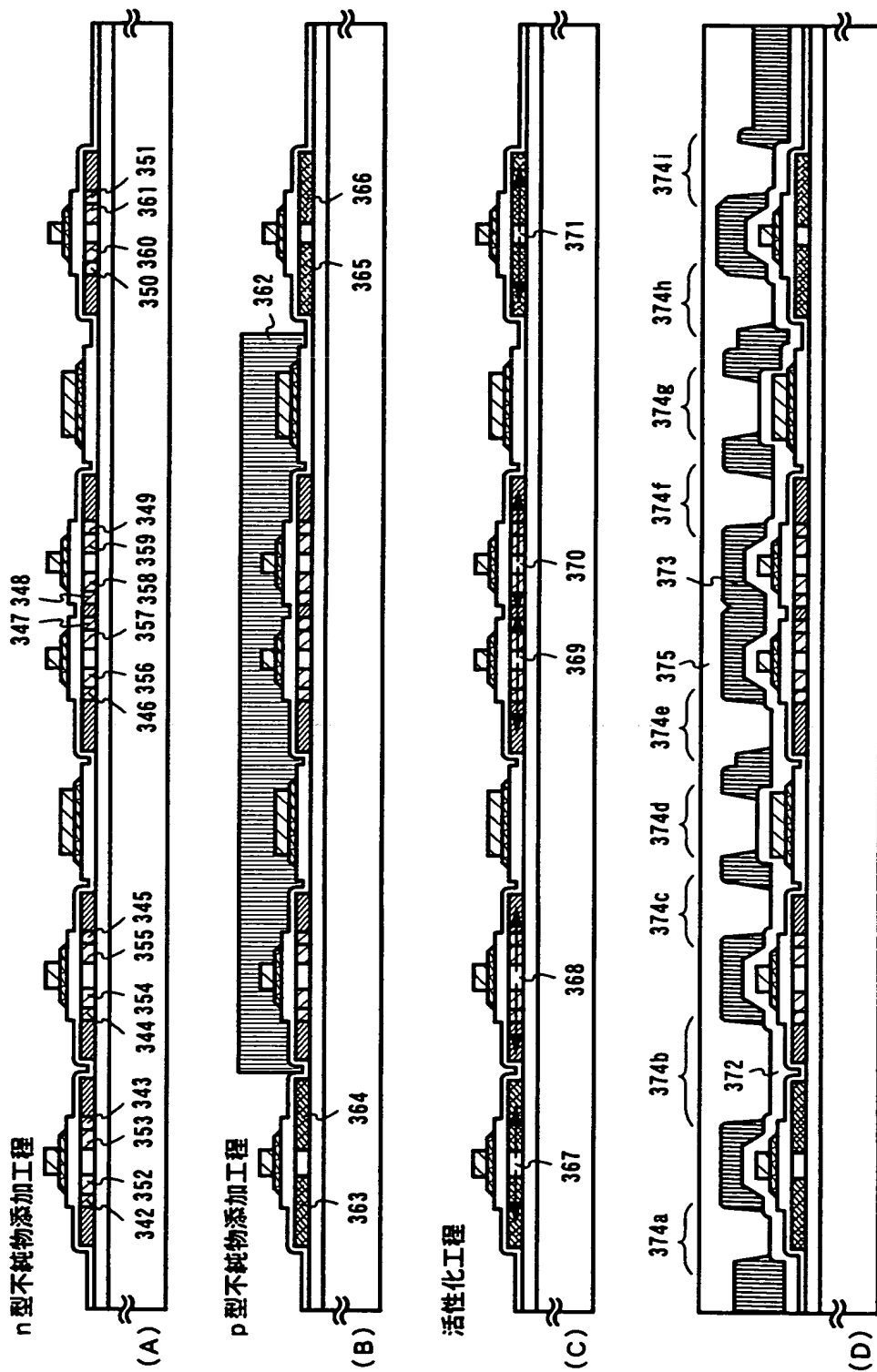


【図 2】



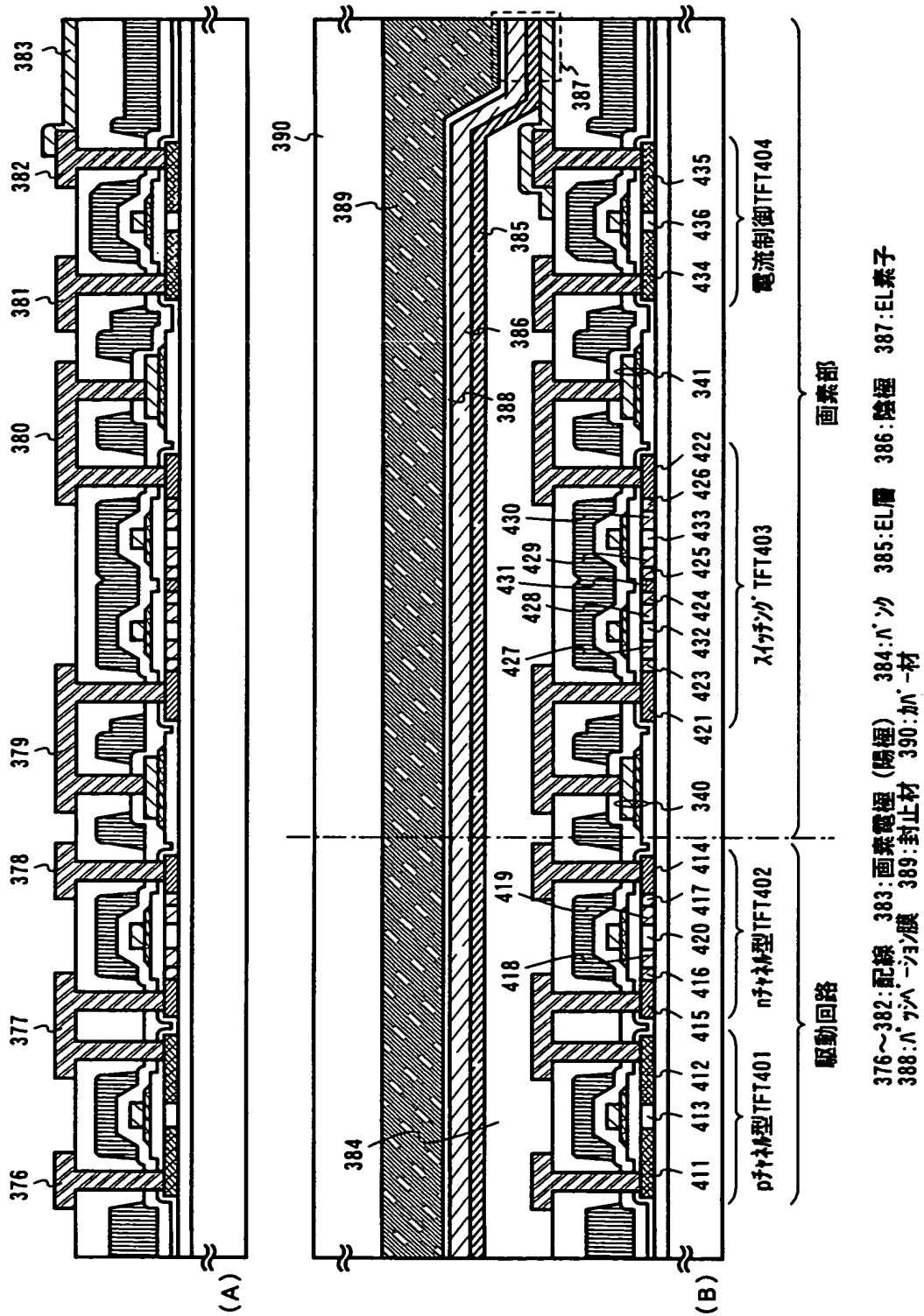
301: ガラス基板 302: 下地膜 303: 結晶質珪素膜 304~307: 半導体膜 308: ゲート絶縁膜 309: 第1導電膜  
 310: 第2導電膜 311a~311g: ヴィジストマ 312~316, 328~332, 335~339: ゲート電極 317, 333, 340: ヴィジストマ  
 318, 334, 341: トリプル配線 319~327: n型不純物領域(a) 335a, 336a, 337a, 338a, 339a: 第1ゲート電極  
 335b, 336b, 337b, 338b, 339b: 第2ゲート電極 340a: 第1ソース配線 340b: 第2ソース配線 341a: 第1ドレイン配線  
 341b: 第2ドレイン配線

【図 3】



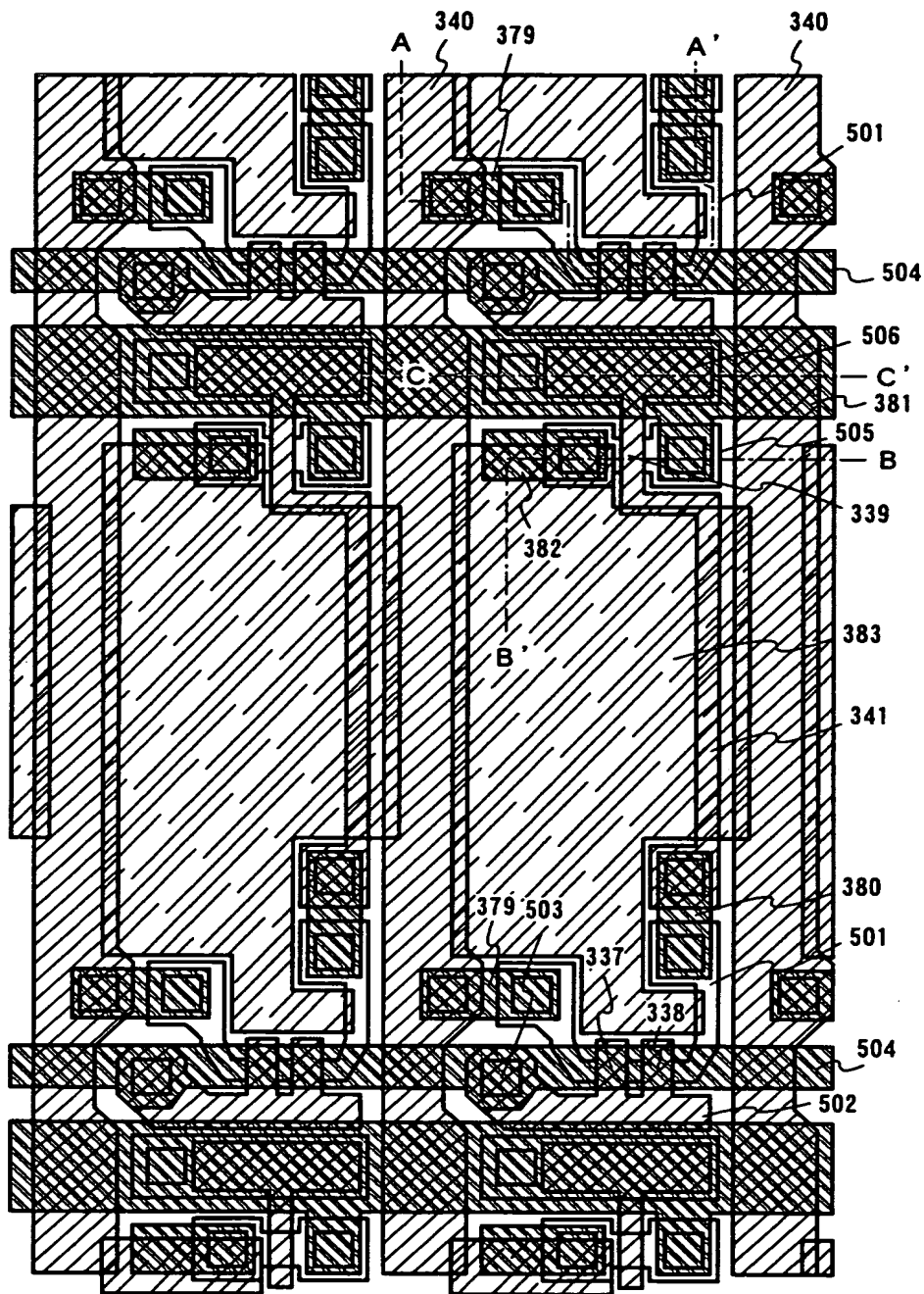
342~351: n型不純物領域 (b) 352~361: n型不純物領域 (c) 362: p型不純物領域 (a)  
 369~371: p型不純物領域 372: 保護膜 373: 着色層 374a~374i: 開口部 375: 層間絶縁膜

【図 4】

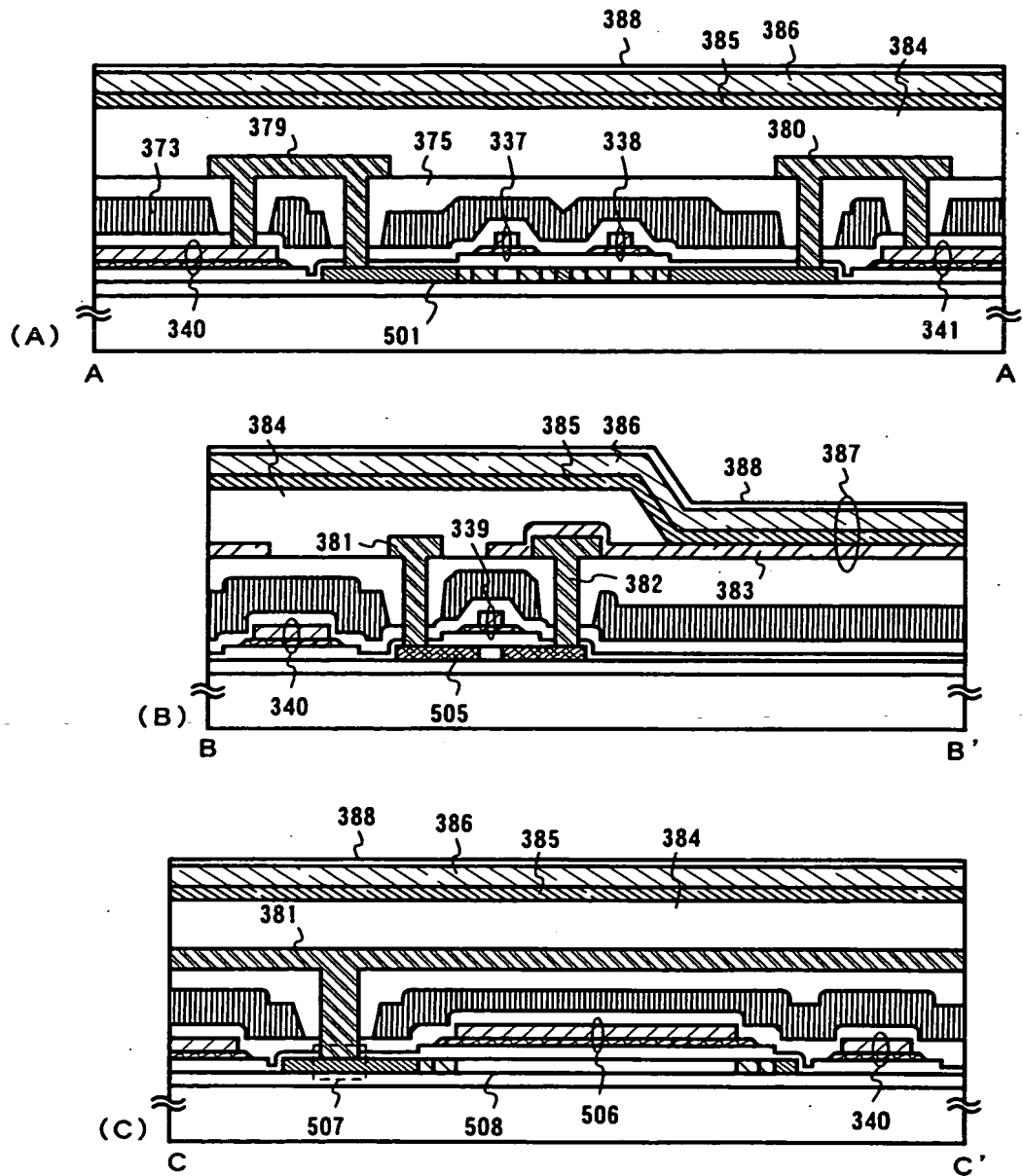




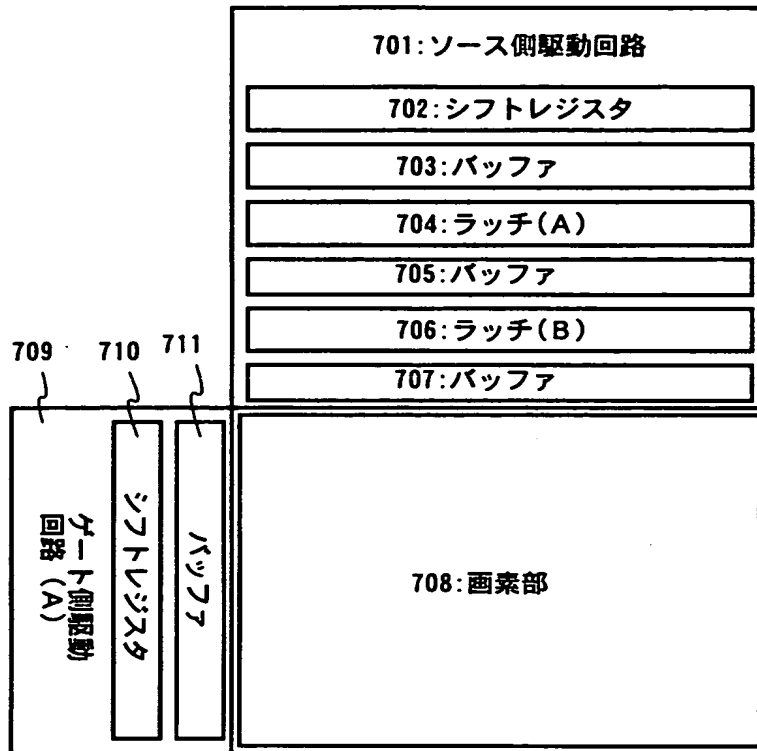
【図 5】



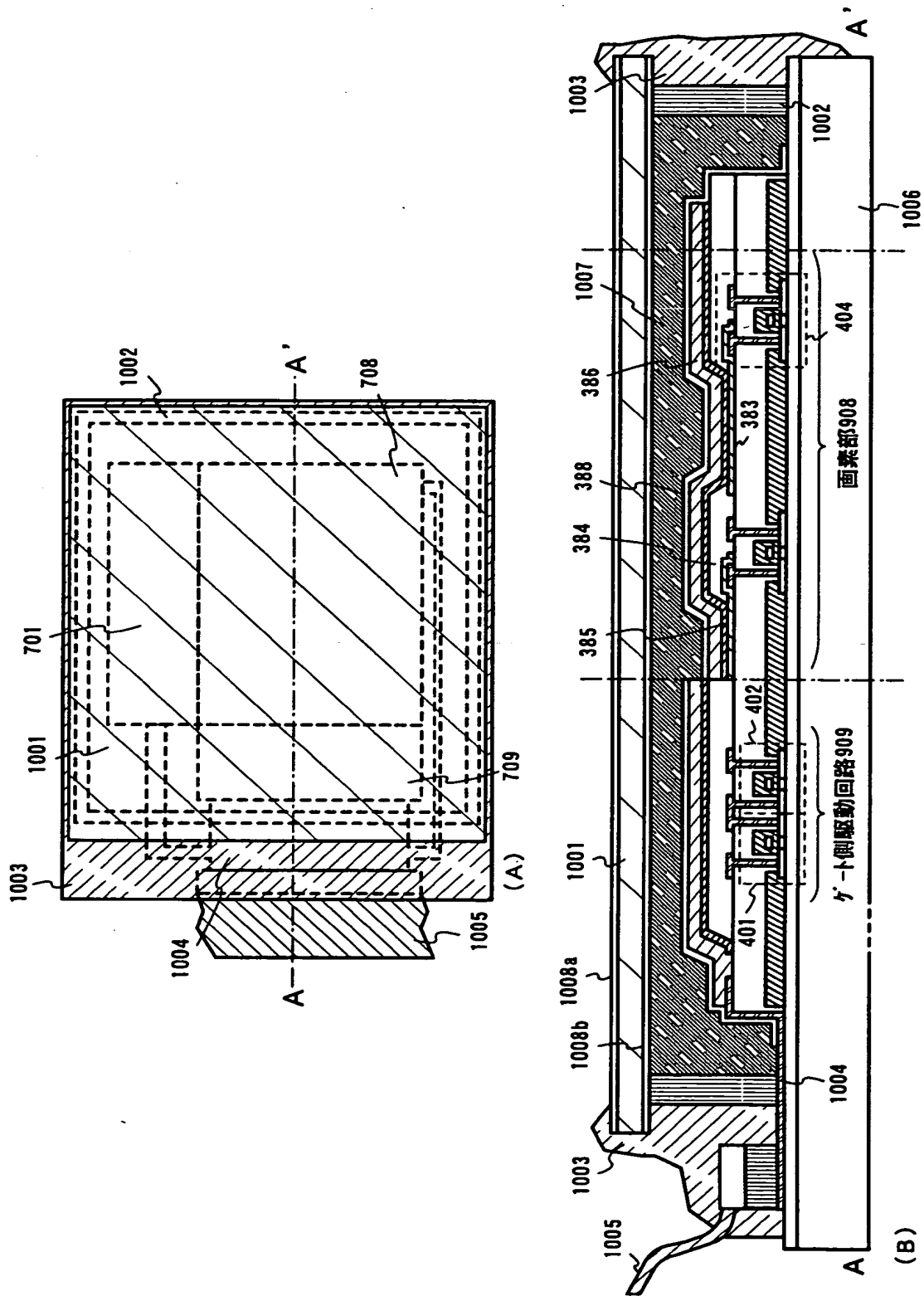
【図 6】



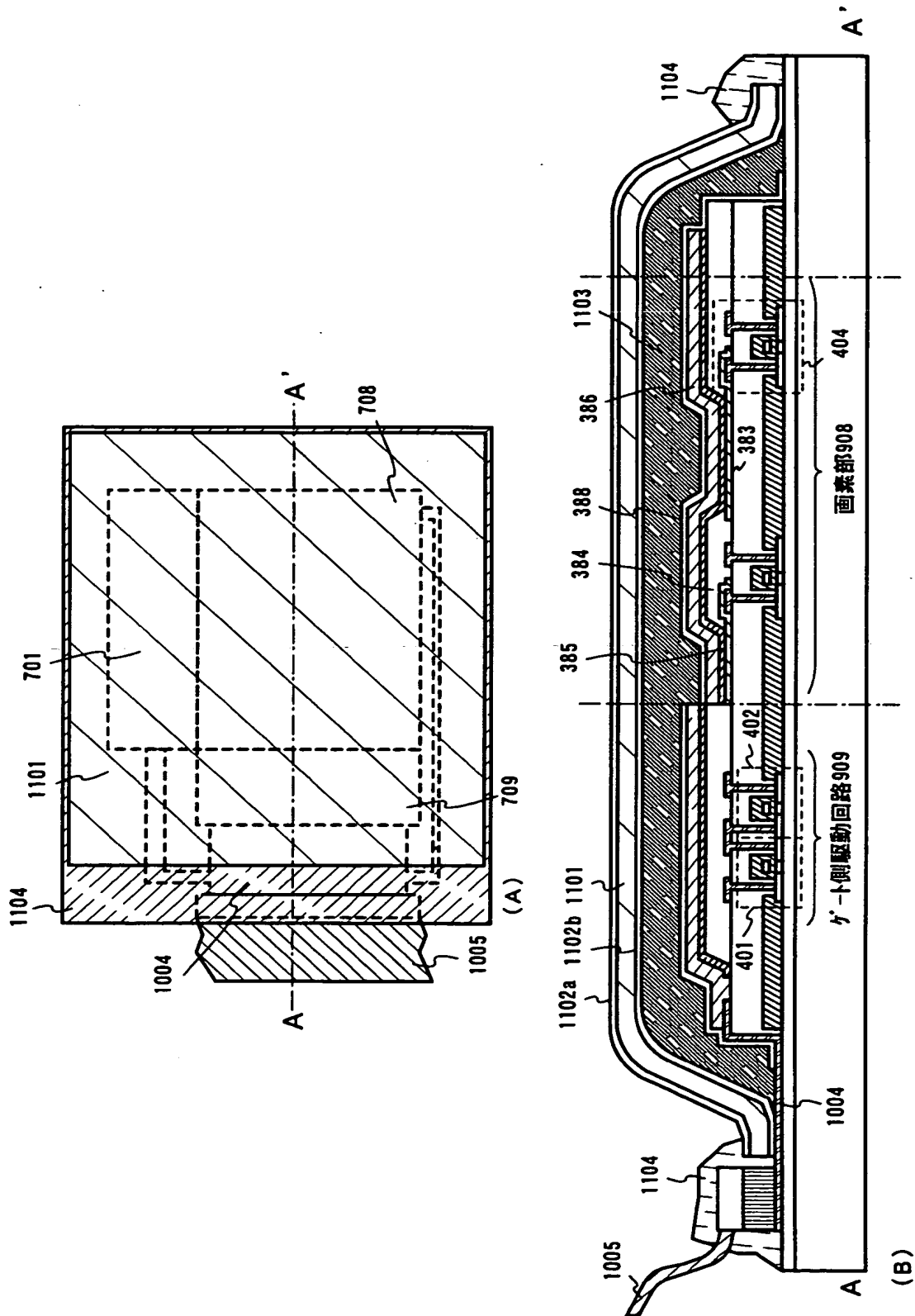
【図 7】



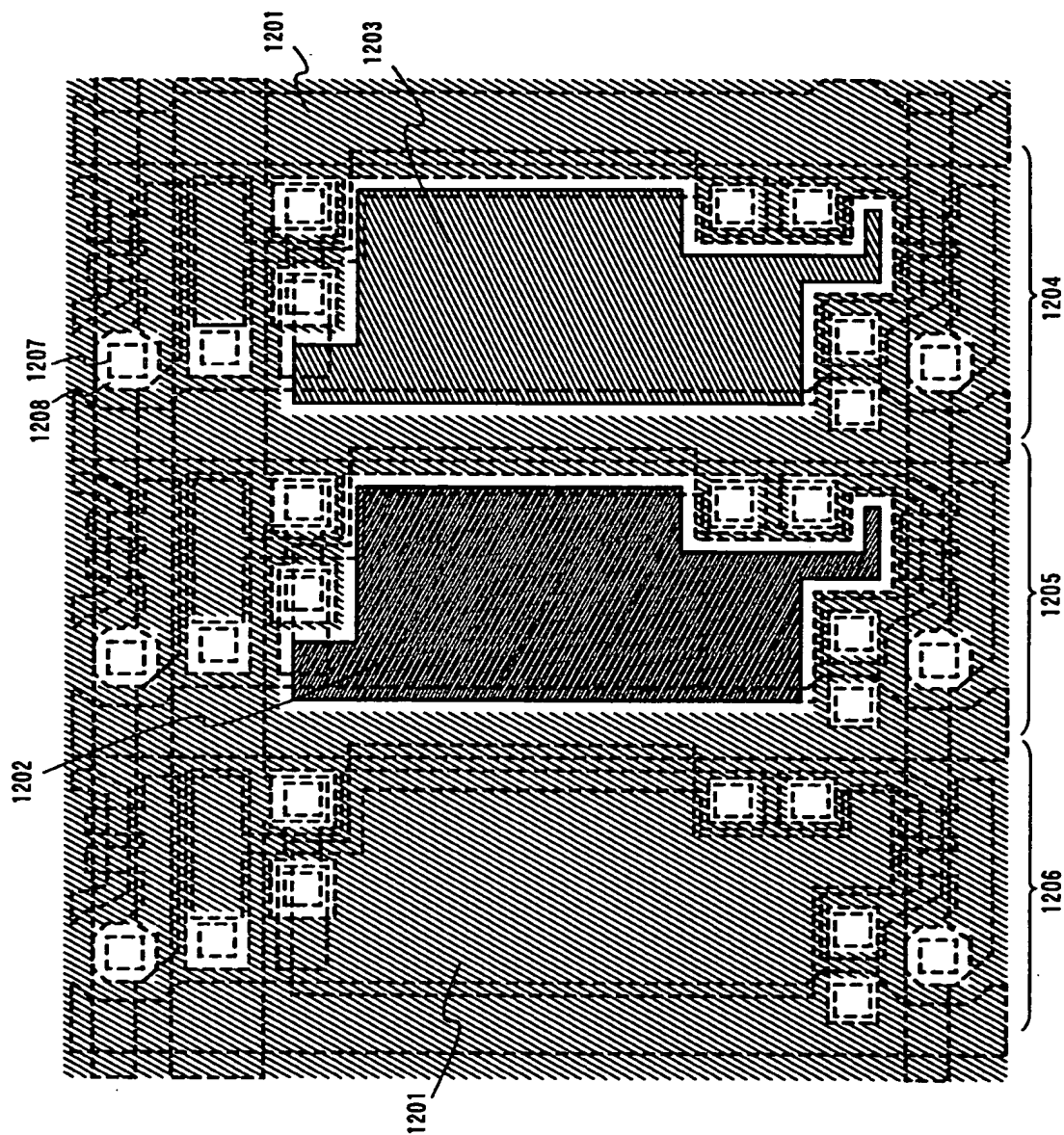
【図 8】



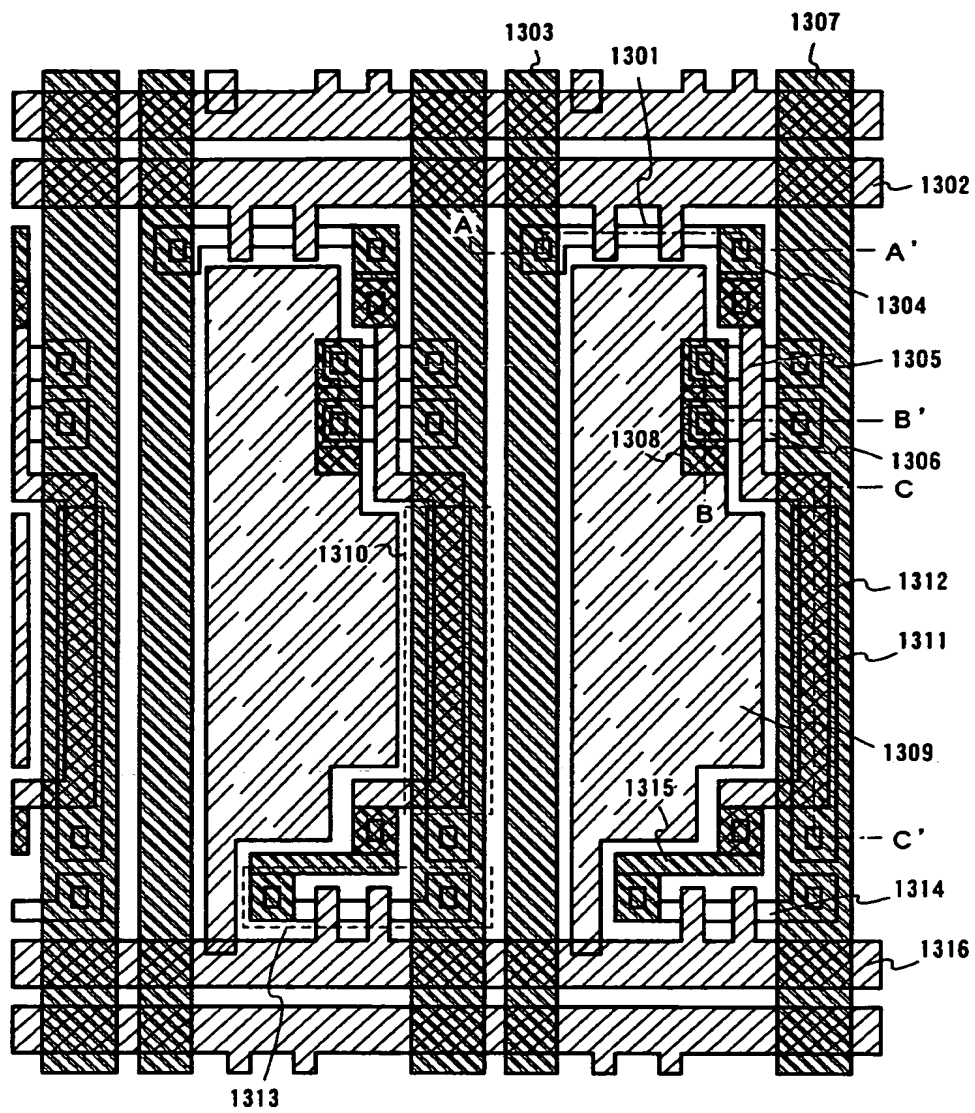
【図9】



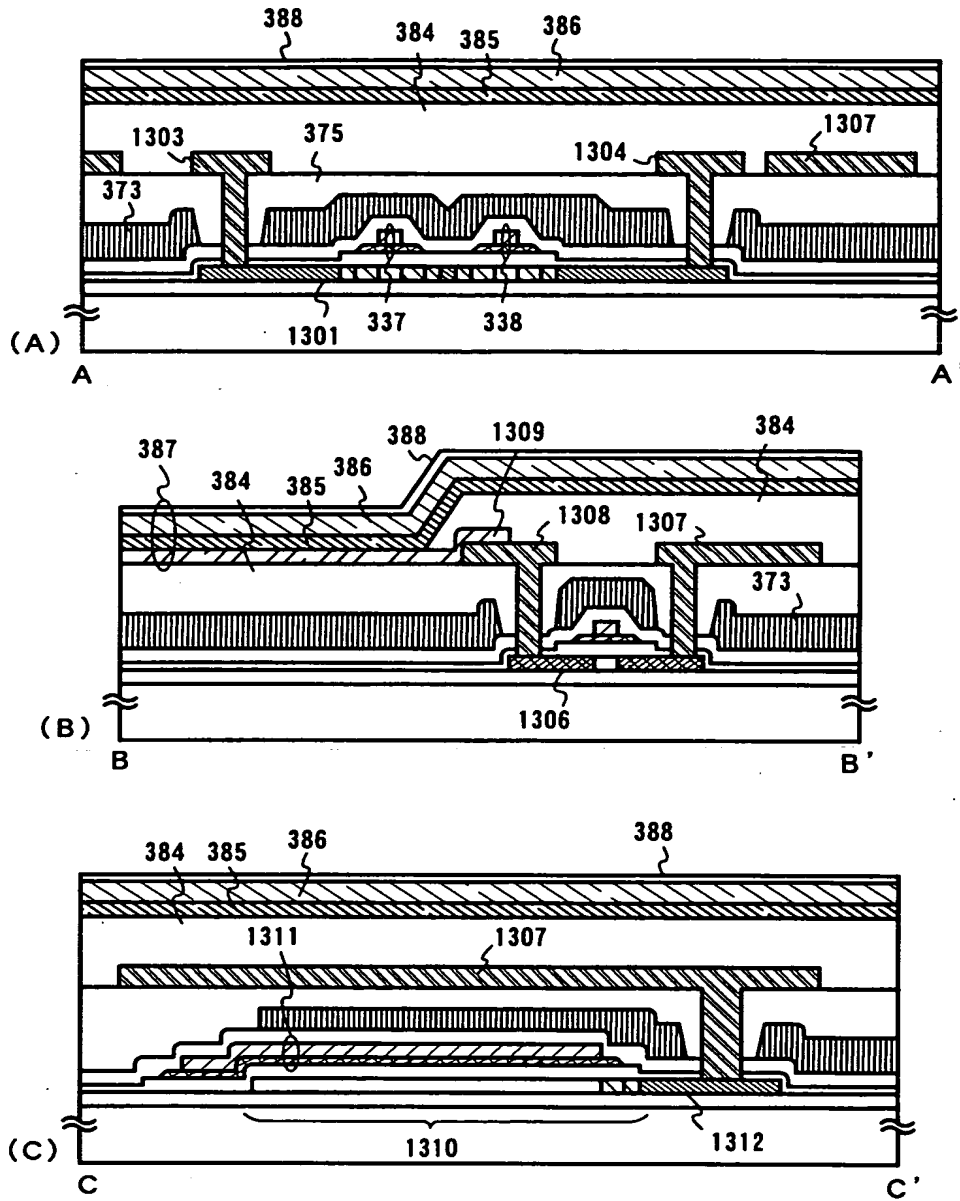
【図 10】



【図 11】

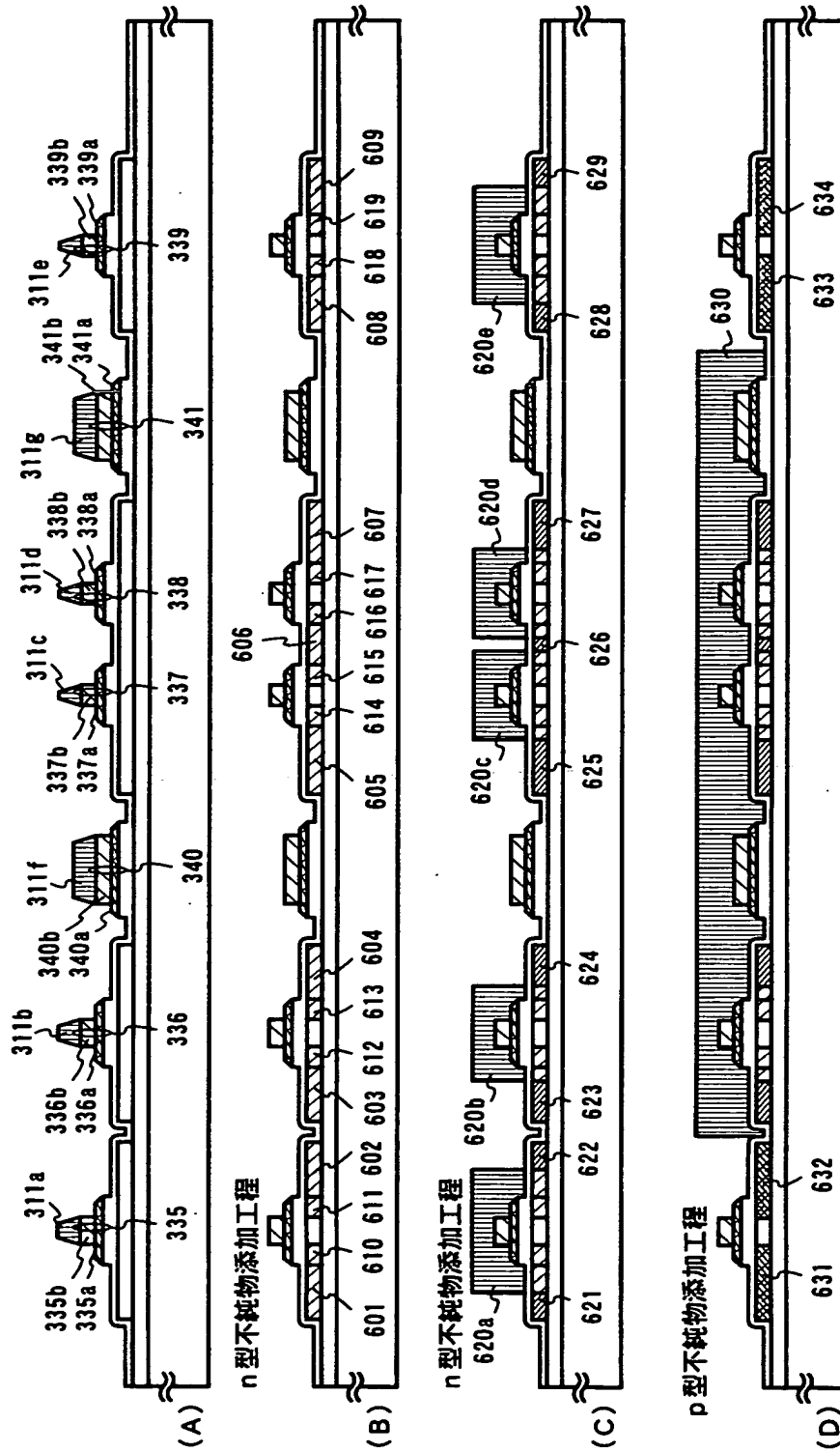


【図 12】

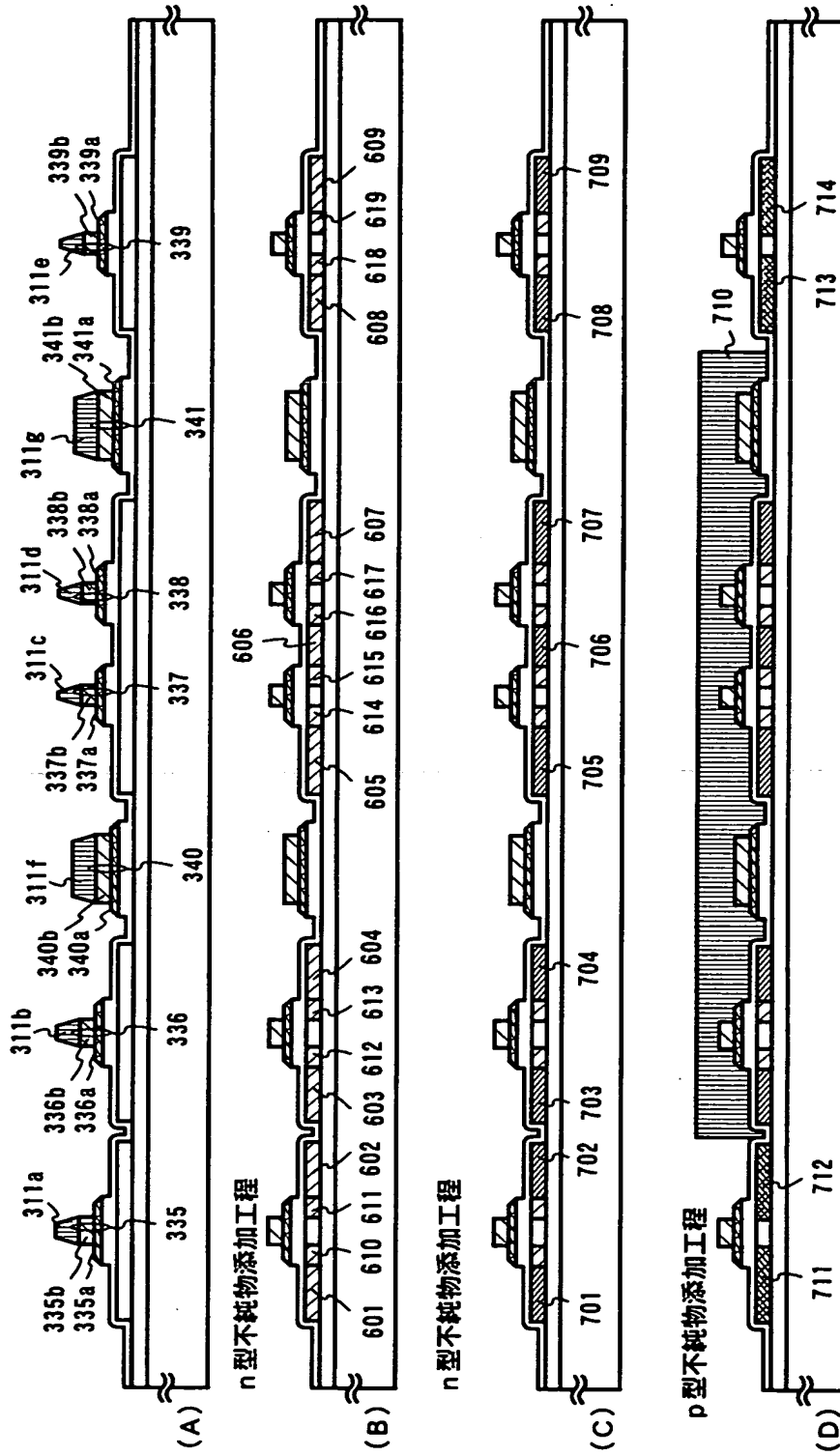




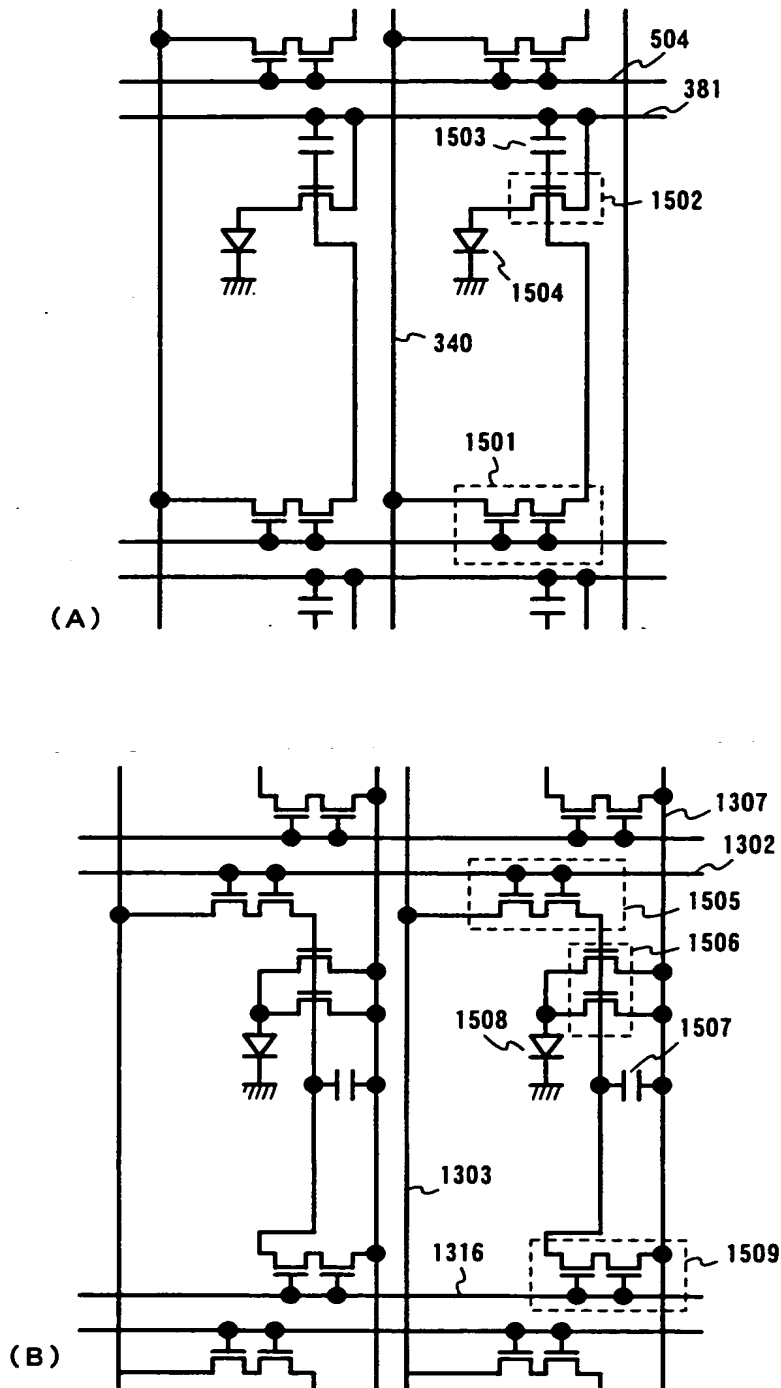
【図 13】



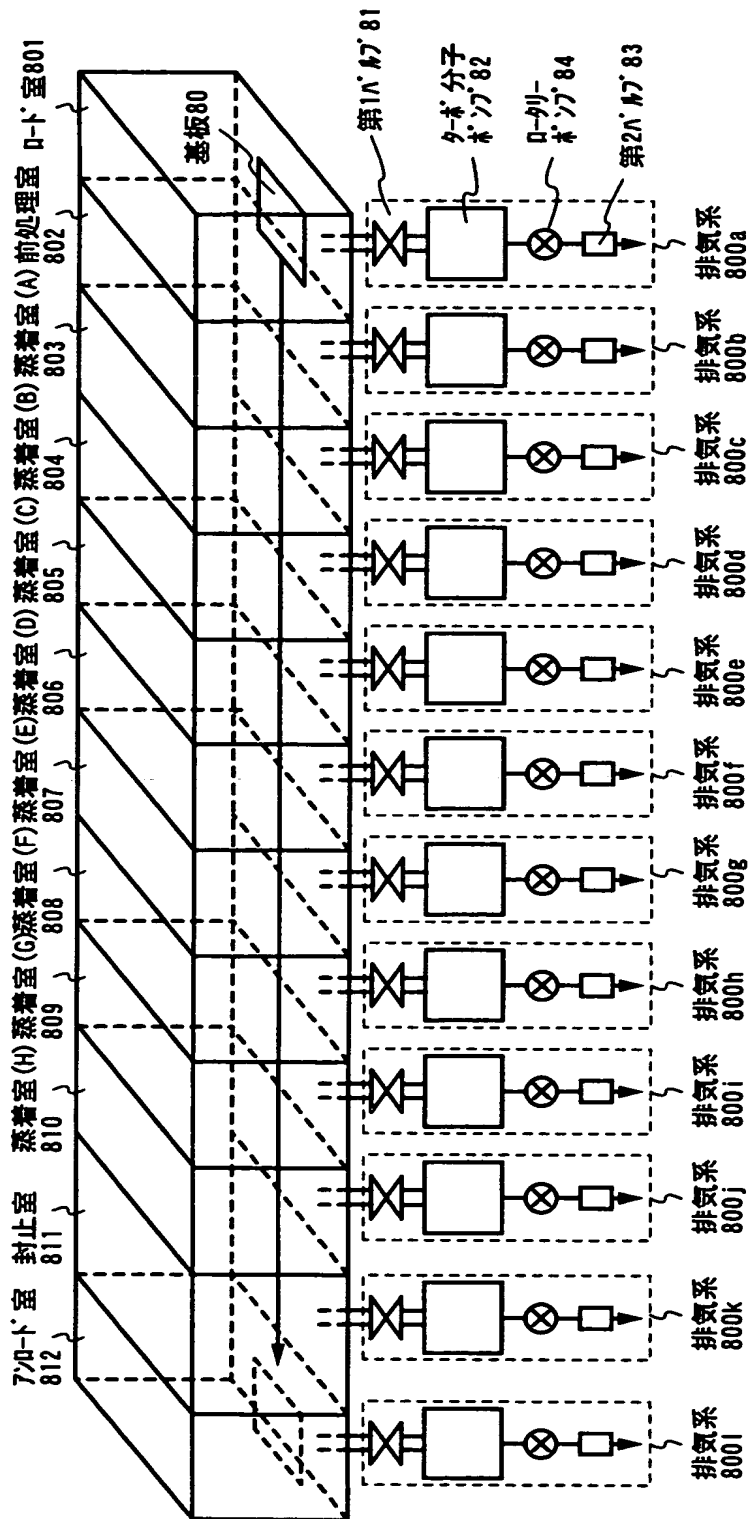
【図 14】



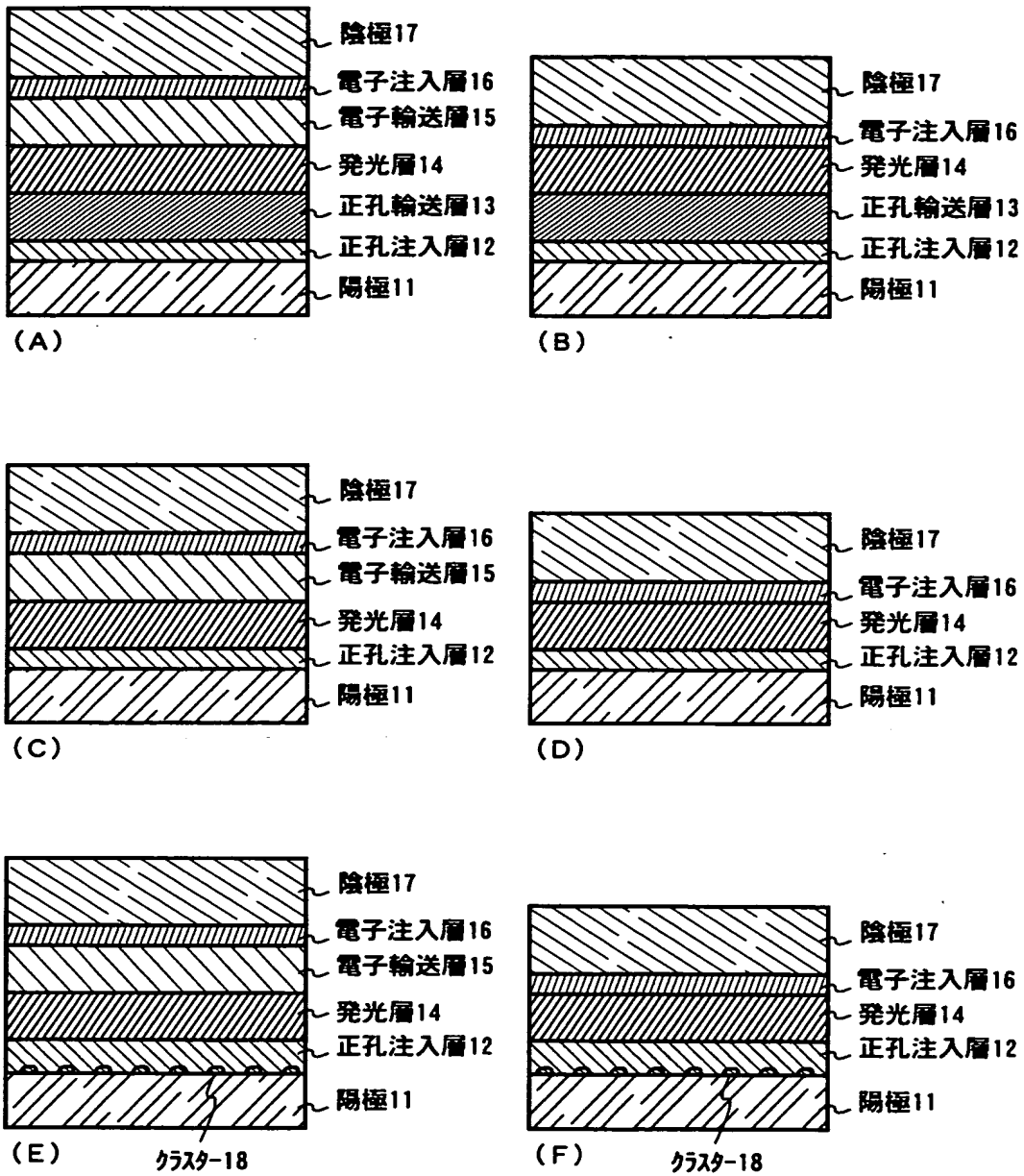
【図 15】



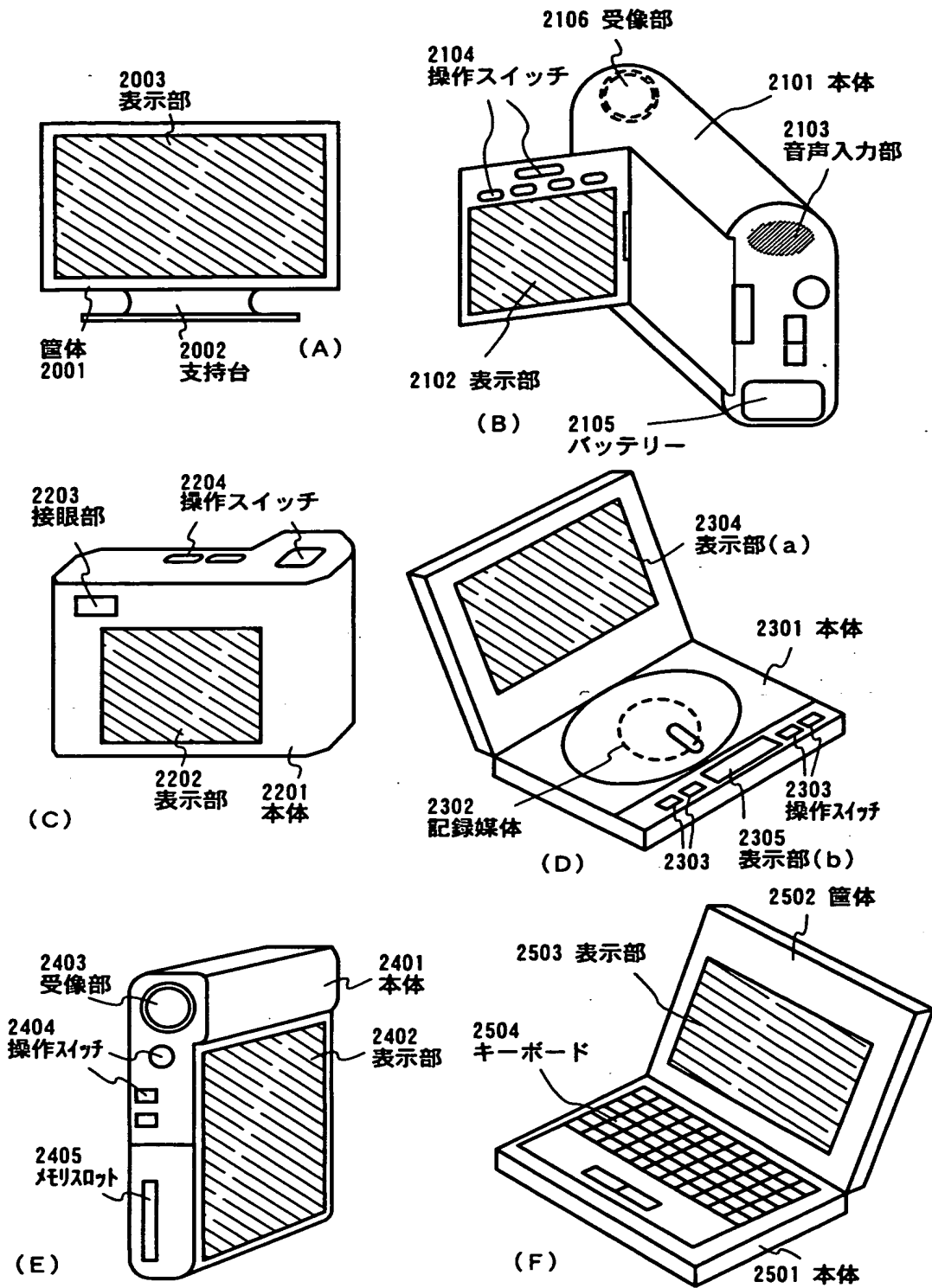
【図16】



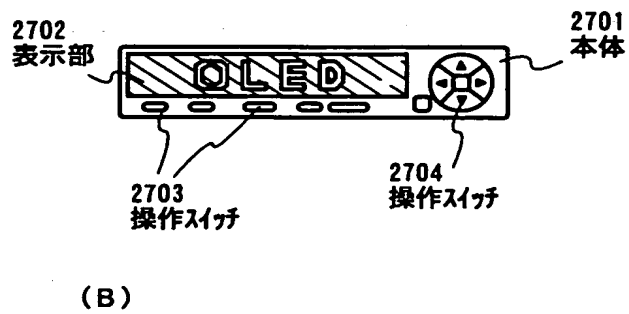
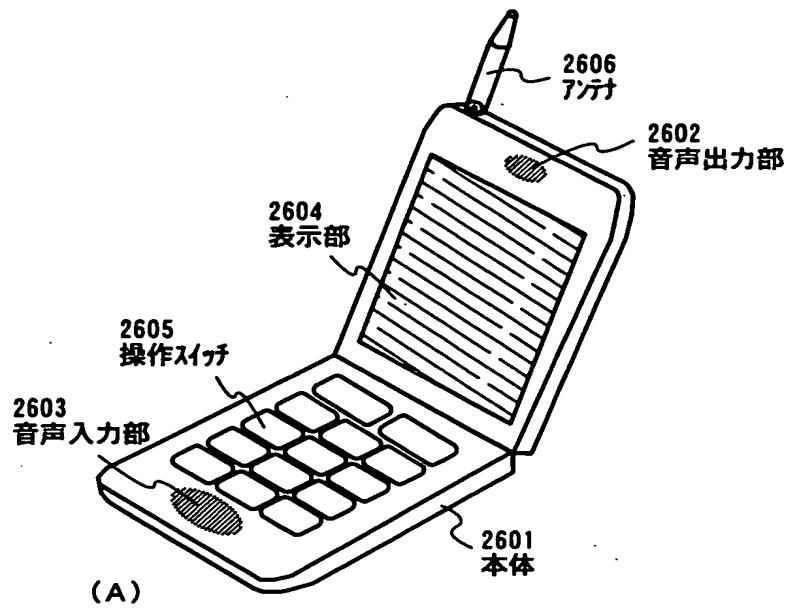
【図17】



【図18】



【図 19】



【書類名】 要約書

【要約】

【課題】 安価な発光装置および電気器具を提供する。

【解決手段】 本発明でTFTの製造に係るフォトリソグラフィ工程を削減することにより発光装置の歩留まりの向上および製造期間の短縮を図る。特徴的な点は、ゲート電極を複数層の導電膜で形成し、それらのエッチング時の選択比を利用して活性層内に形成される不純物領域の濃度を調節する点である。

【選択図】 なし



出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所